

# LHC-ALICE実験高度化に向けたFoCal検出器の 開発における読み出しASIC HGCRROCの性能評価

高エネルギー物理学研究室

高村 舞

2025年度修士論文審査会 2026/02/17

# 研究背景

# 重イオン衝突実験

## クォーク・グルーオン・プラズマ (QGP)

クォークやグルーオンが超高温・高密度下でハドロンの閉じ込めから解放された状態

→重イオン衝突実験で再現



出典:日本の原子核物理学研究 | 核物理懇談会ホームページ

## CERN LHC

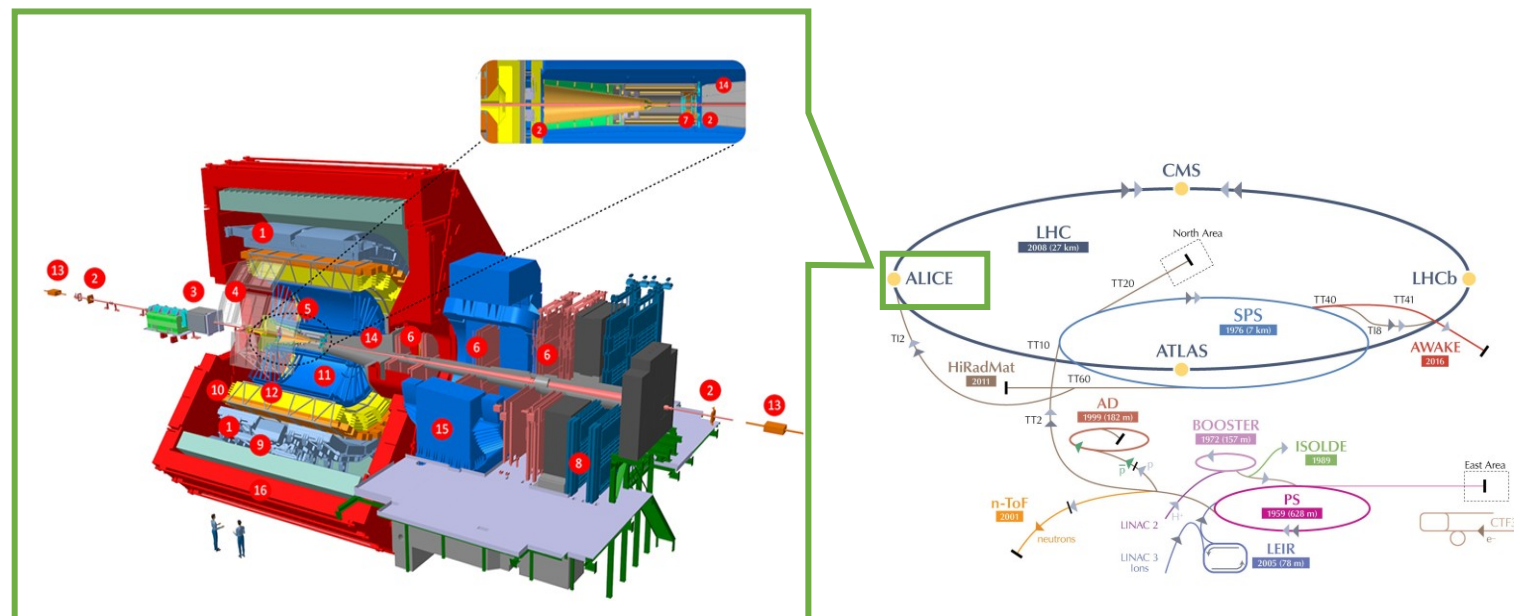
世界最大のハドロン衝突型加速器

陽子 + 陽子衝突13TeV

## ALICE

重イオン衝突実験によりQGPの性質解明を目的

→衝突初期状態の理解が重要



# 衝突初期におけるグルーオン飽和

高エネルギー領域では、核子内の低運動量のグルーオンが急増、ある密度で飽和すると予測

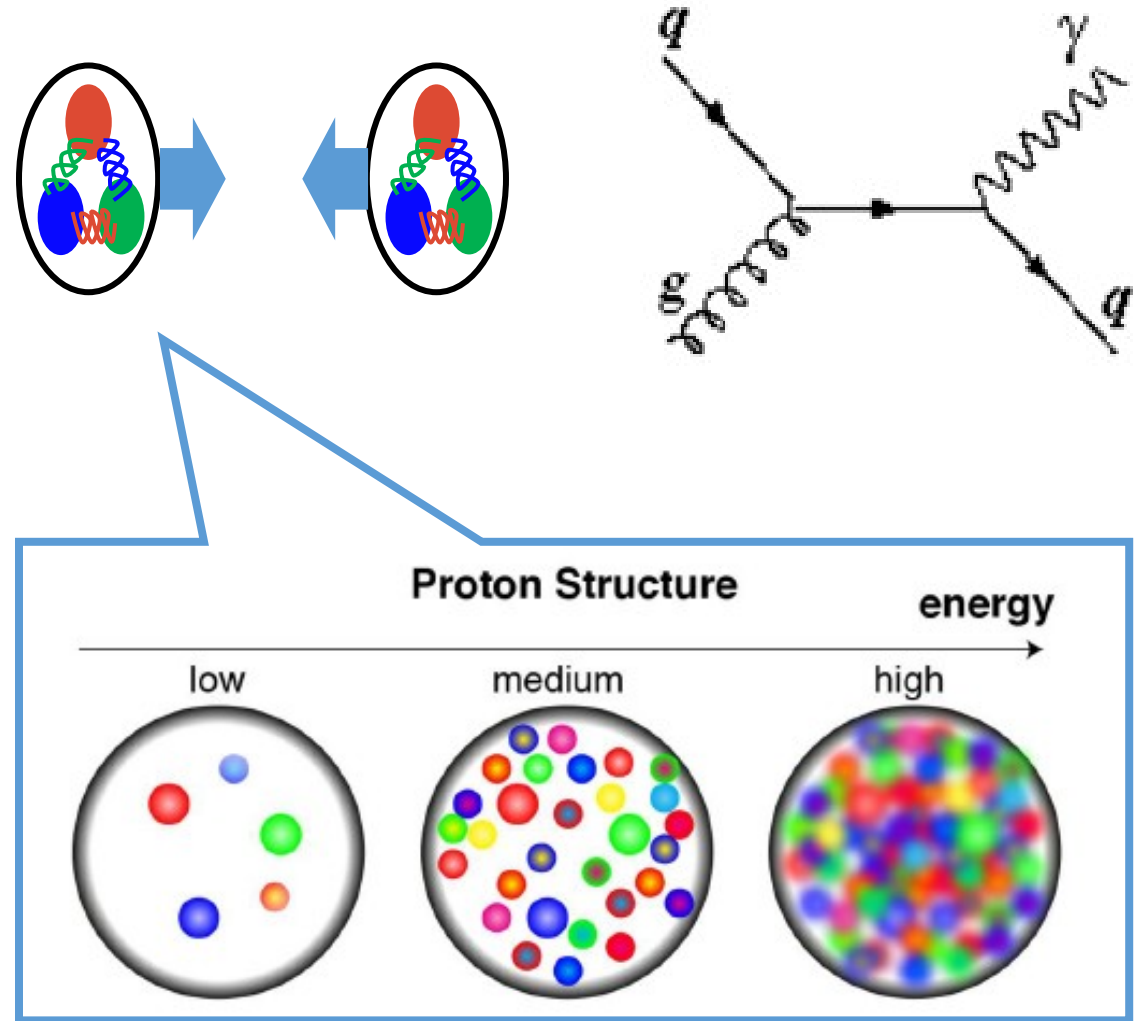
→理論モデル**カラーグラス凝縮(CGC)**で記述

→実験的確認は未確立

- ・衝突初期状態の過程で光子が生成
- ・直接光子は強い相互作用をしない
- ・衝突初期の情報を保持したまま検出器に到達

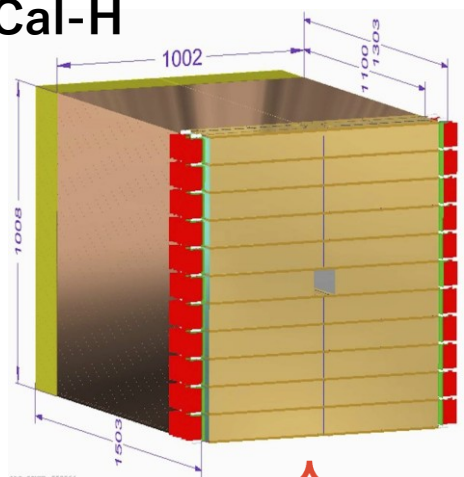
→ **CGC**の有力な観測量

**CGCの実験的確認を得るため、  
前方方向の直接光子測定に注目**

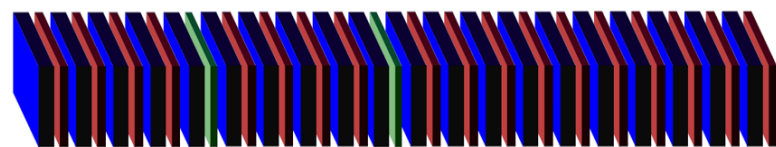
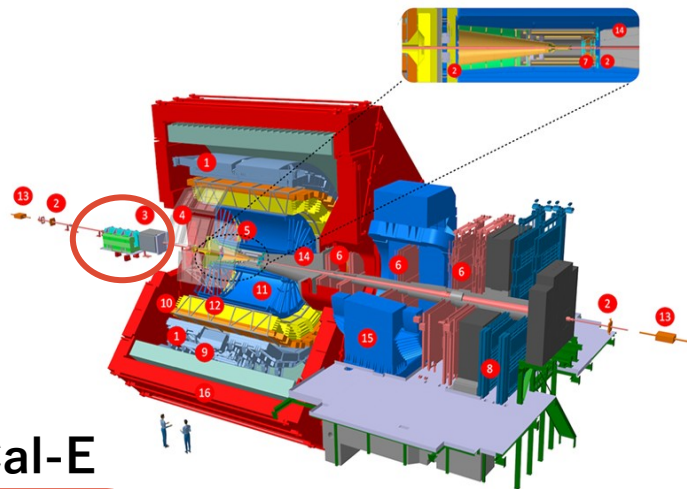


# FoCal (Forward Calorimeter)

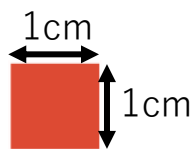
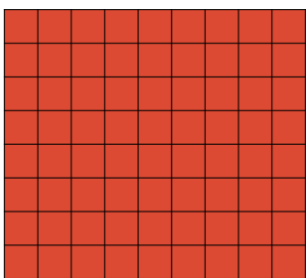
## FoCal-H



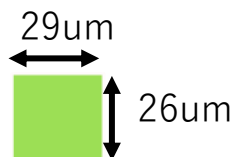
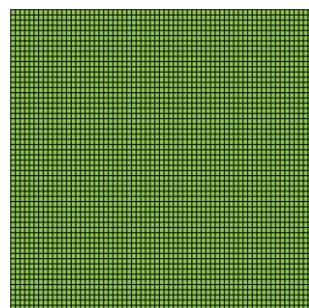
## FoCal-E



### Low Granular Layer (LGL)



### High Granular Layer (HGL)



前方方向での直接光子の測定を目的とする  
前方カロリメータ

LHC-ALICE実験において2030年からの運用を  
目指し、既に量産が開始

FoCal-E : 光子/電子のエネルギー測定

FoCal-H : ハドロンのエネルギー測定

FoCal-E

検出層(Si)と吸収層(W)のサンドイッチ構造

HGL : 位置測定

**LGL : エネルギー測定**

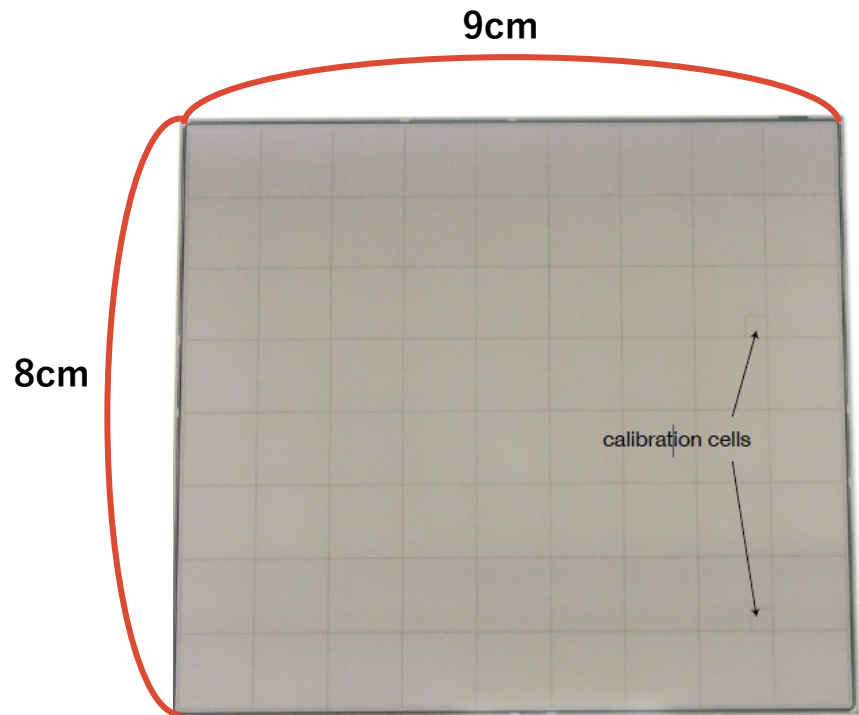
LGLの最小単位

→FoCal-E pad (Si padセンサー + 読み出し回路)

FoCal-E padは、Si pad センサーおよび読み出し回路で構成

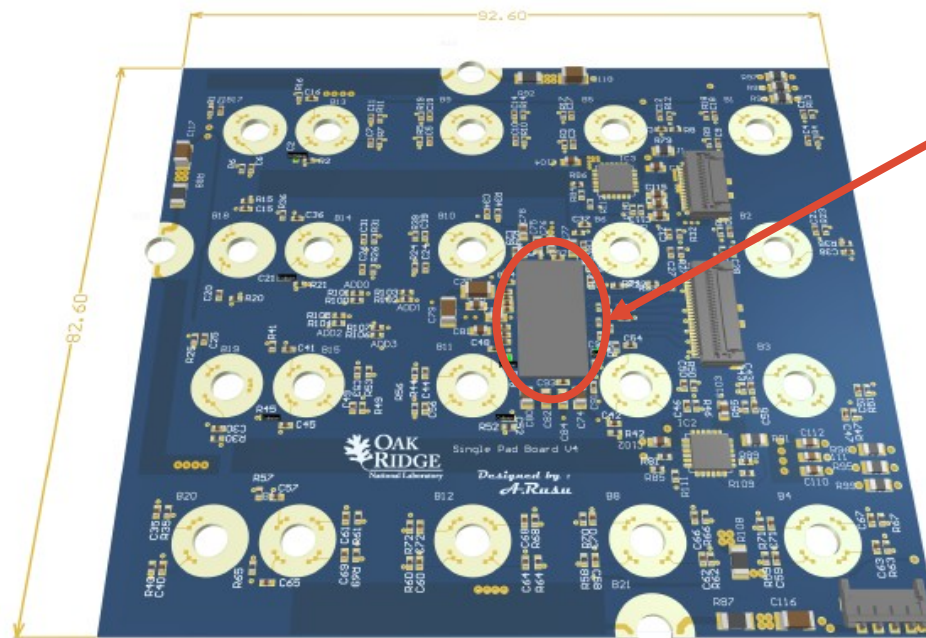
Si pad センサーは1セル 1cm×1cmの72chに区別されている

プリント基板にはSi pad センサーからの信号を読み出すASIC (Application Specific Integrated Circuit) **HGCROC**が搭載



72ch  
Thickness: 320 $\mu$ m

Si pad sensor



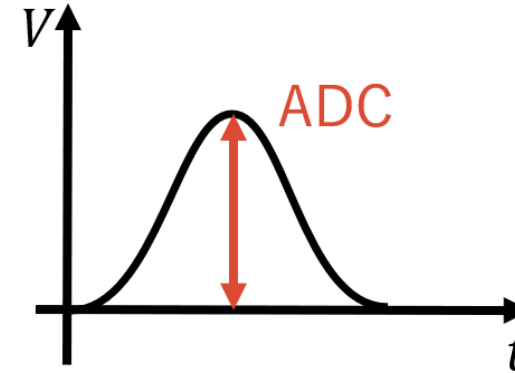
HGCROC

プリント基板

Siセンサーからの信号を読み出すASIC  
2つの読み出し装置を全チャンネルに搭載

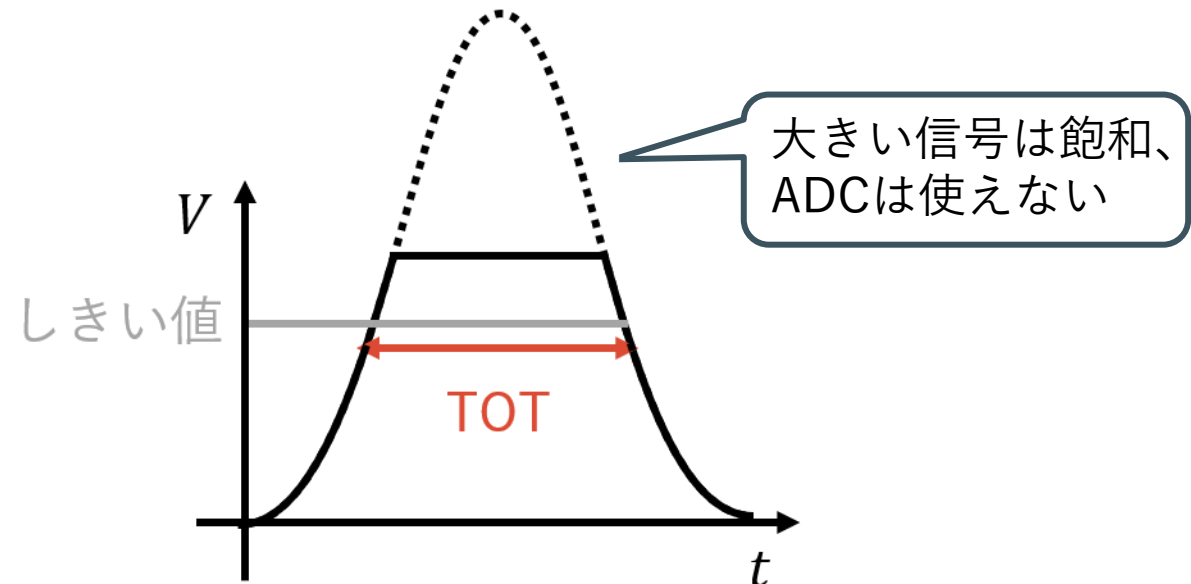
## ADC (Analog to Digital Converter)

小さい信号(全体の10%)を高精度で測定  
10bit(0-1024)、信号の大きさを測定

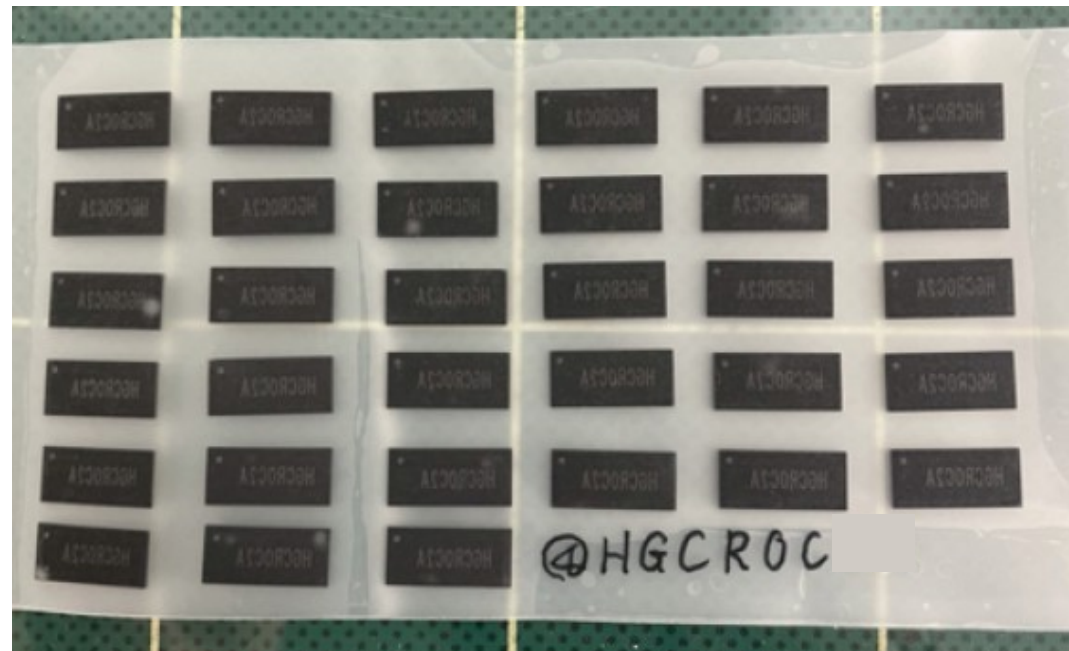


## TOT(Time Over Threshold)

大きい信号を広いダイナミックレンジで測定  
12bit(0-4095)、しきい値を超えている時間を測定



- FoCal-Eでは約2000枚のSi padセンサーを量産  
→性能評価基準が必要
- **HGCROCの不良ch/チップを識別するための評価基準を確立**



# 測定方法

# 測定内容

1. HGCROCの不良Ch/チップを識別するための評価基準を確立

測定はセンサー付き1チップ、センサー無し10チップに実施

2. センサー取り付け前後のHGCROC応答の変化を調べる

## FoCal-E padのテスト

(1) センサー単体テスト

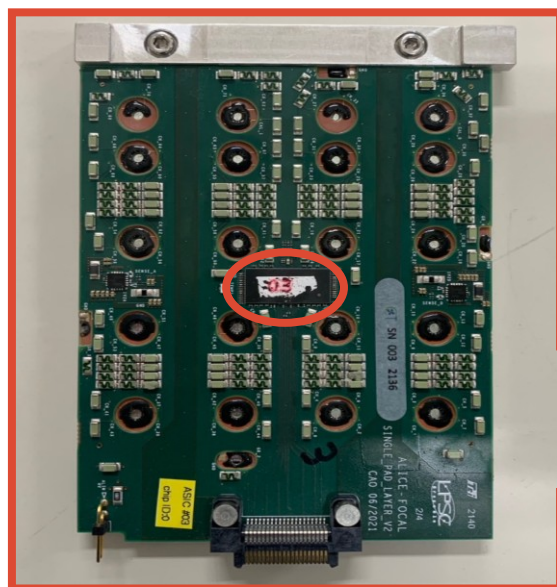
(2) HGCROC単体テスト

(3) センサー + HGCROCのテスト

(2),(3)の前後で測定結果が変化するか調べる

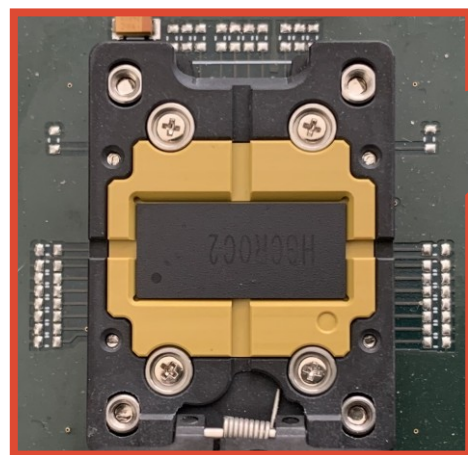
# 測定セットアップ

測定はセンサー付き1チップとセンサー無し10チップに実施



## センサー + HGCROC

HGCROC取り外し×  
1チップ36ch測定



## HGCROC単体(センサー無)

HGCROC取り外し◎  
10チップ360ch測定



# 内部電荷測定 ADC

内蔵コンデンサ  $C_{inj}$  と DAC を用いて疑似電荷 (= 内部電荷  $Q_{inj}$ ) を電荷積分回路に入力し、測定

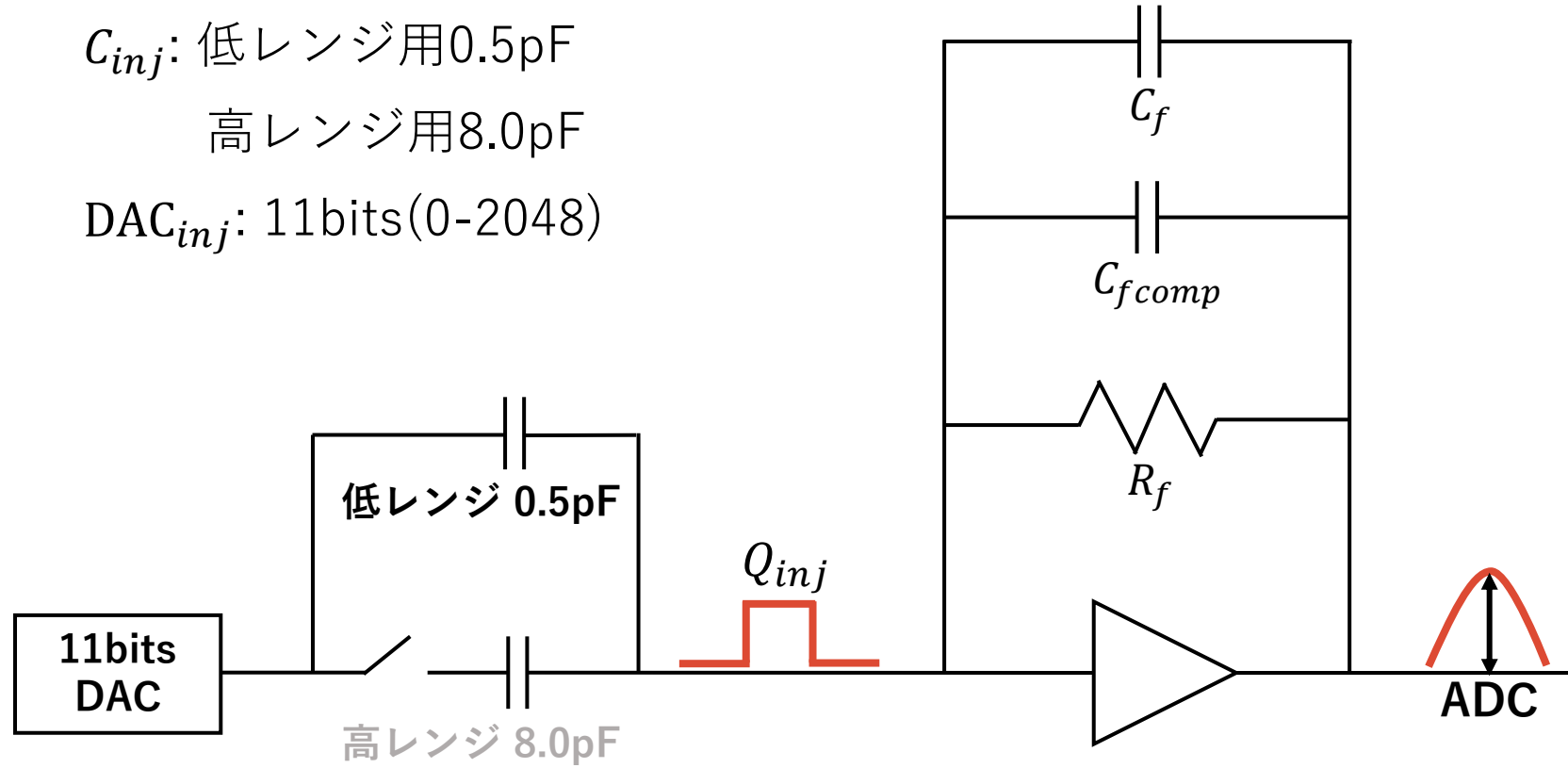
## 内部電荷

$$Q_{inj} = C_{inj} \frac{DAC_{inj}}{2048}$$

$C_{inj}$ : 低レンジ用 0.5pF

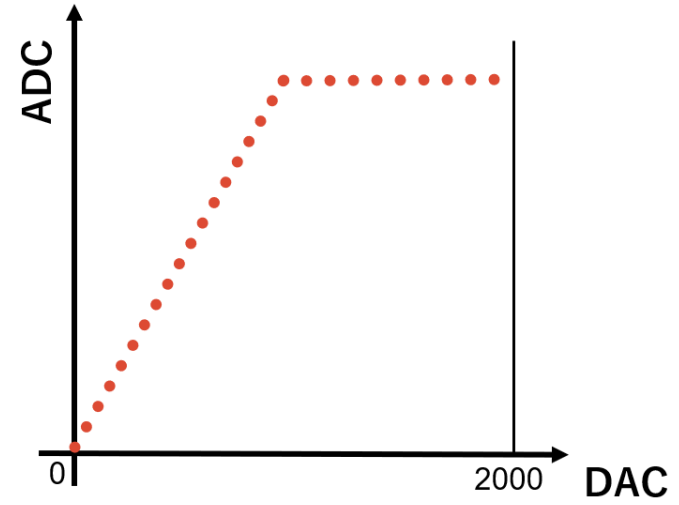
高レンジ用 8.0pF

$DAC_{inj}$ : 11bits (0-2048)



## 測定方法(DAC Scan)

- ・ 入力内部電荷量を変化させながらADCを取得
- ・ DAC: 0 → 2000, 50回/DAC
- ・ 4chずつ



# 内部電荷測定 TOT

内蔵コンデンサ  $C_{inj}$  と DAC を用いて疑似電荷 (= 内部電荷  $Q_{inj}$ ) を電荷積分回路に入力し、測定

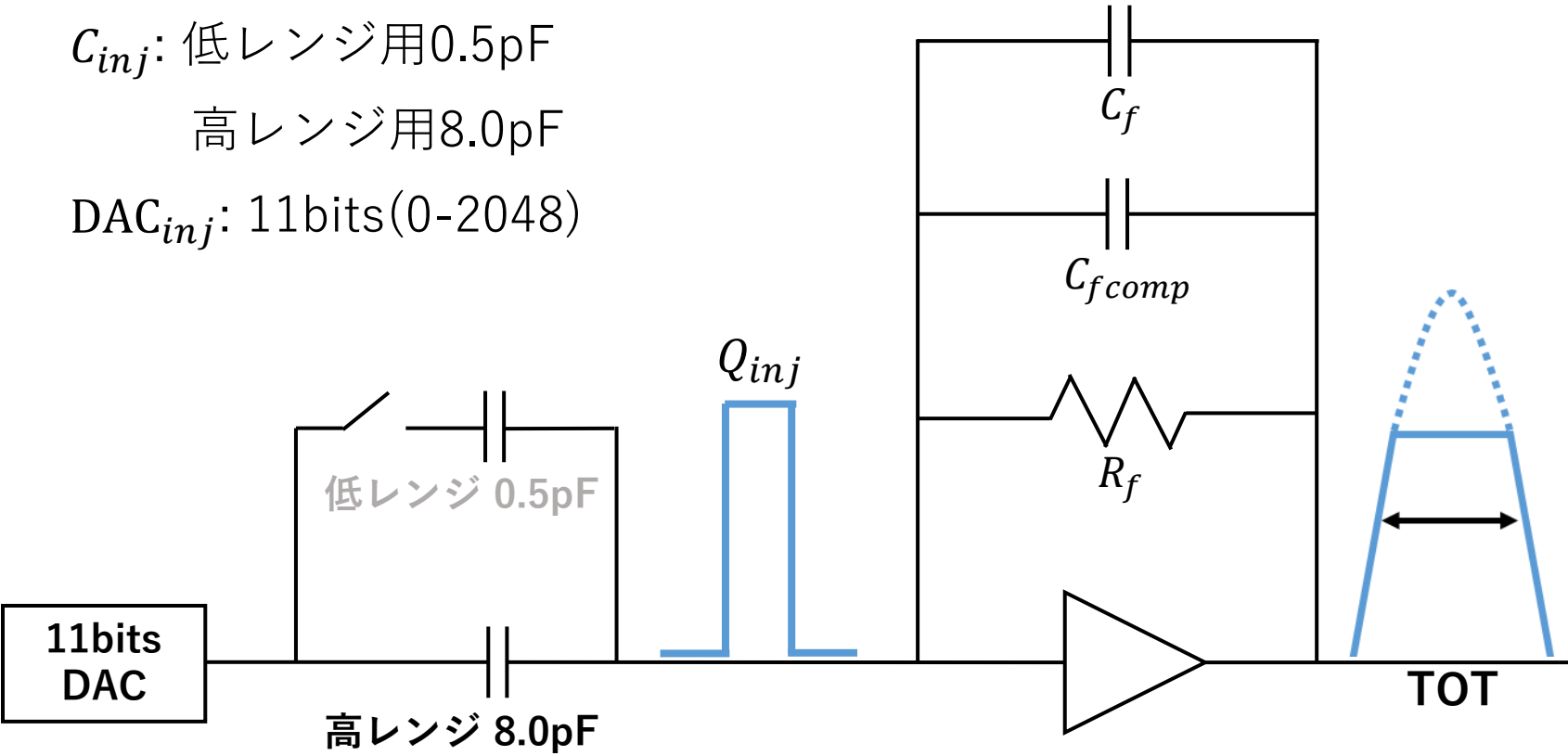
## 内部電荷

$$Q_{inj} = C_{inj} \frac{DAC_{inj}}{2048}$$

$C_{inj}$ : 低レンジ用 0.5pF

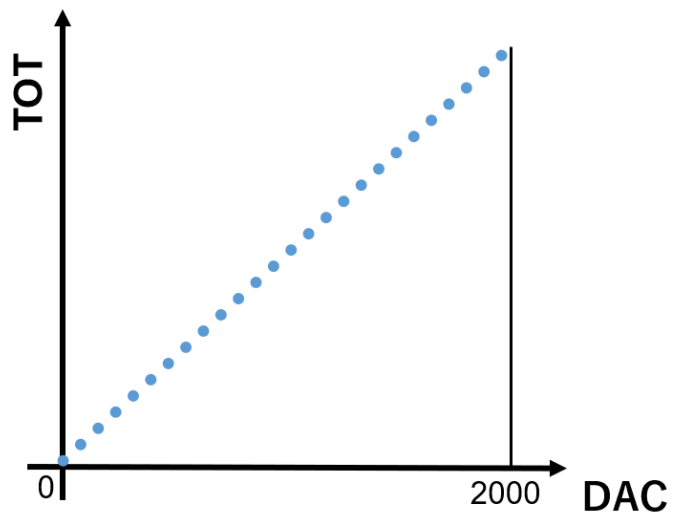
高レンジ用 8.0pF

DAC<sub>inj</sub>: 11bits (0-2048)



## 測定方法(DAC Scan)

- ・ 入力内部電荷量を変化させながらTOTを取得
- ・ DAC: 0 → 2000, 50回/DAC
- ・ 4chずつ



# 増幅率設定

増幅器のコンデンサ ( $C_f, C_{fcomp}$ ) を変更することで増幅率設定が可能

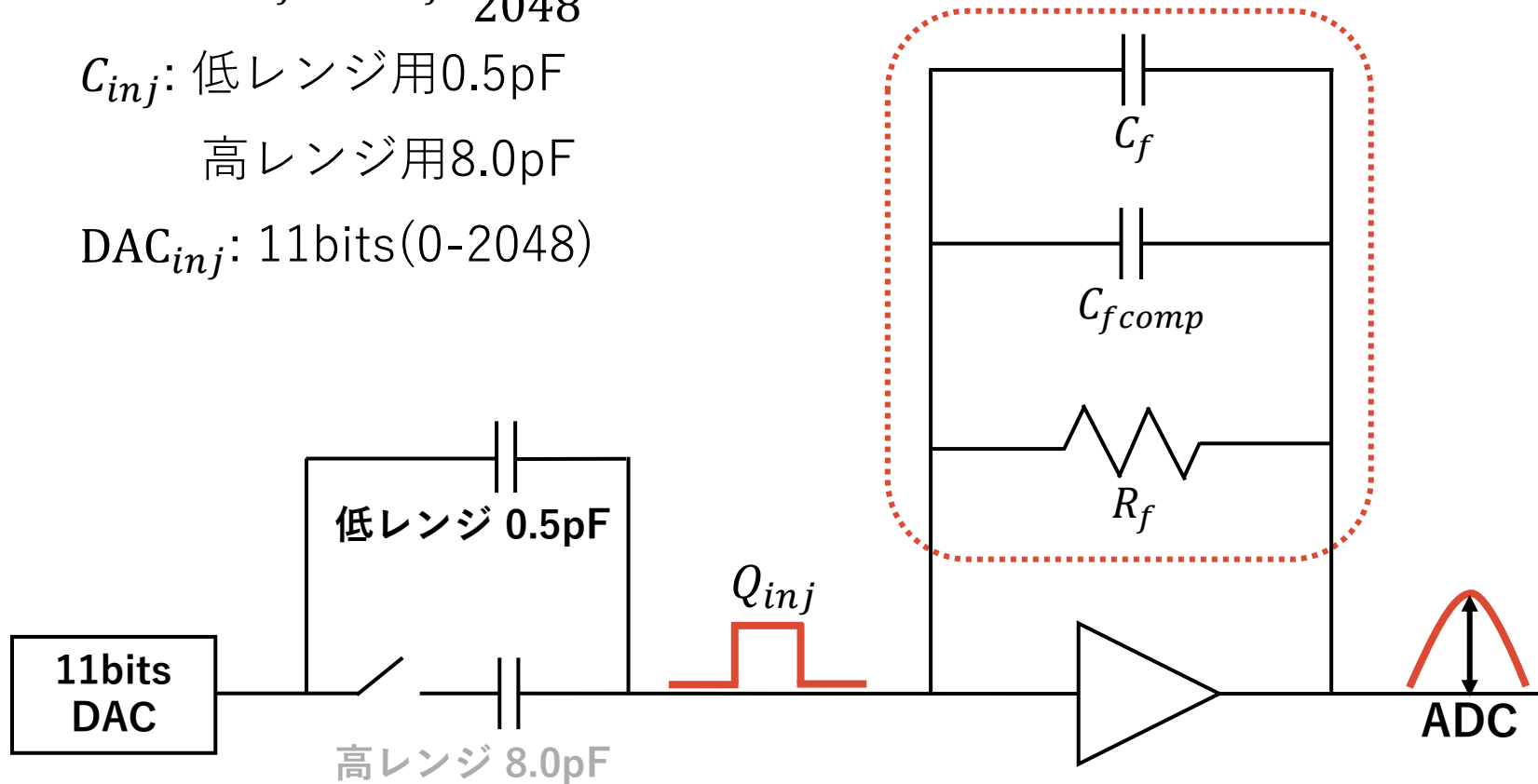
## 内部電荷

$$Q_{inj} = C_{inj} \frac{DAC_{inj}}{2048}$$

$C_{inj}$ : 低レンジ用0.5pF

高レンジ用8.0pF

$DAC_{inj}$ : 11bits(0-2048)



## 増幅率設定

$$ADC = \frac{Q_{inj}}{C_f + C_{fcomp}}$$

Parameter	Value
$C_f$ [fF]	50, 100, 200, 400
$C_{fcomp}$ [fF]	100, 200
$R_f$ [kΩ]	25, 50, 66.66, 100

DAC Scanでは、

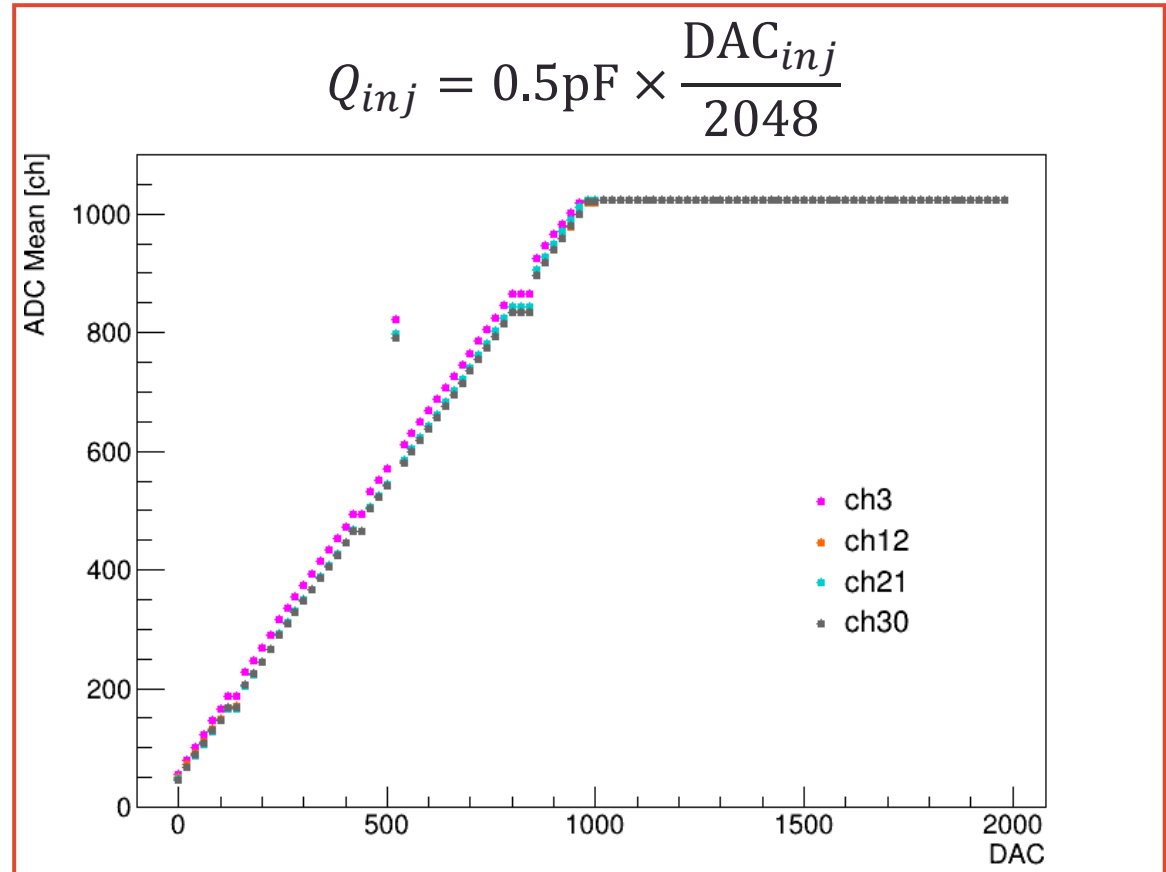
$$C_f + C_{fcomp} = 400\text{fF}$$

# 測定結果

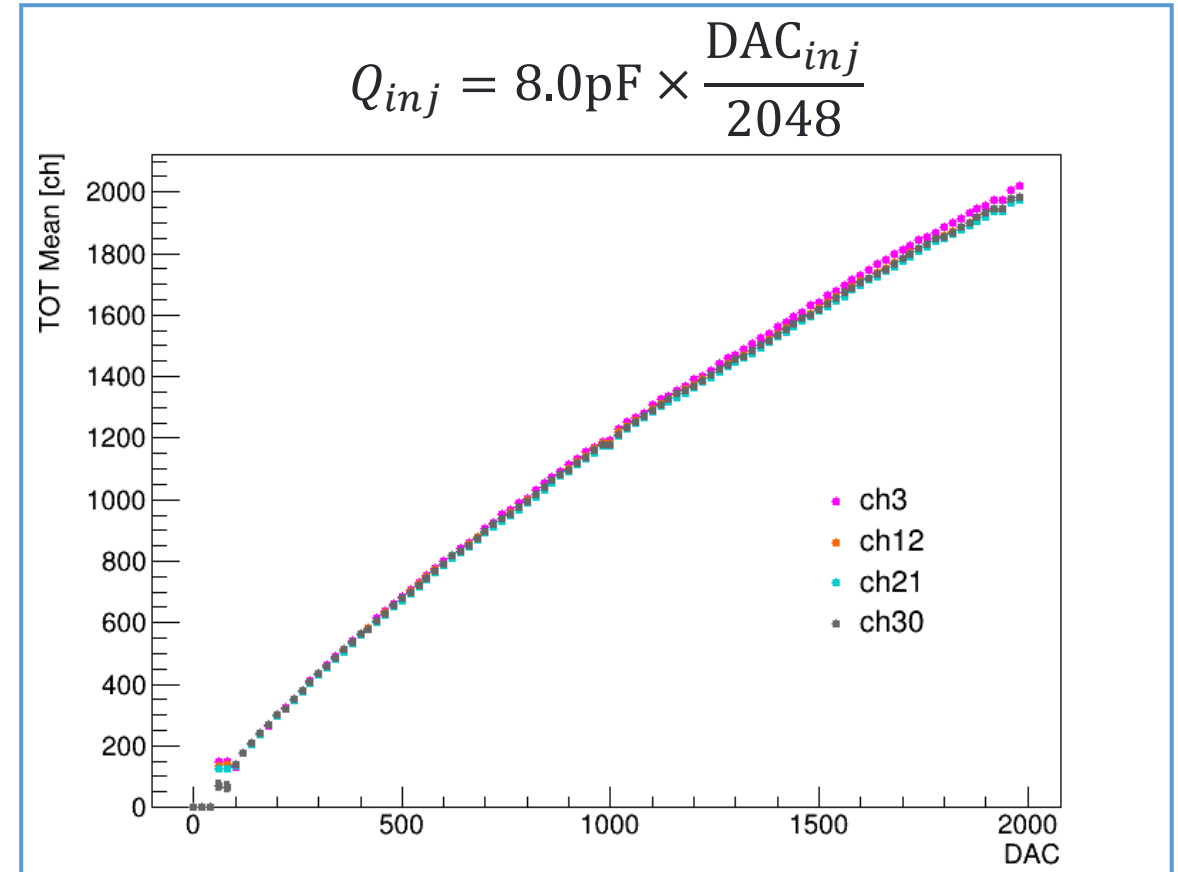
# 測定結果 DAC Scan

センサー無し 1チップ4チャンネルに対するDAC Scan結果

## ADC

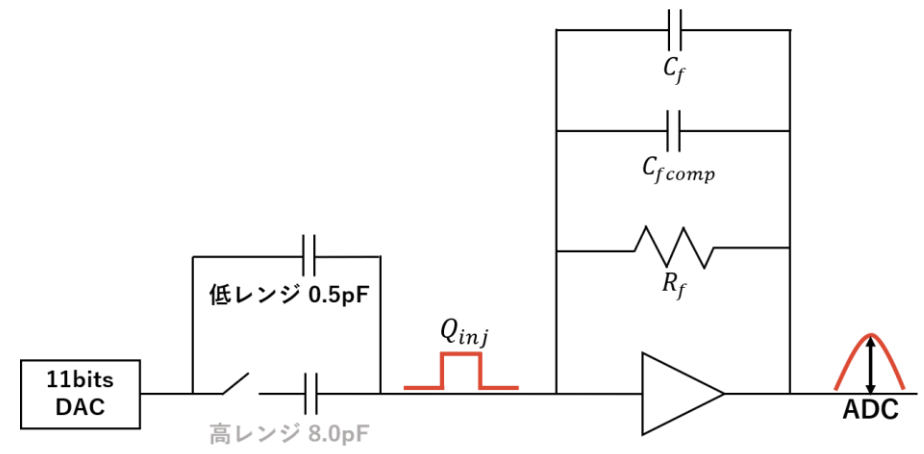


## TOT



入力電荷の増加に伴い出力ADC/TOTも増加、ADCはDAC1000以降で飽和

# 測定結果 ADC増幅率応答



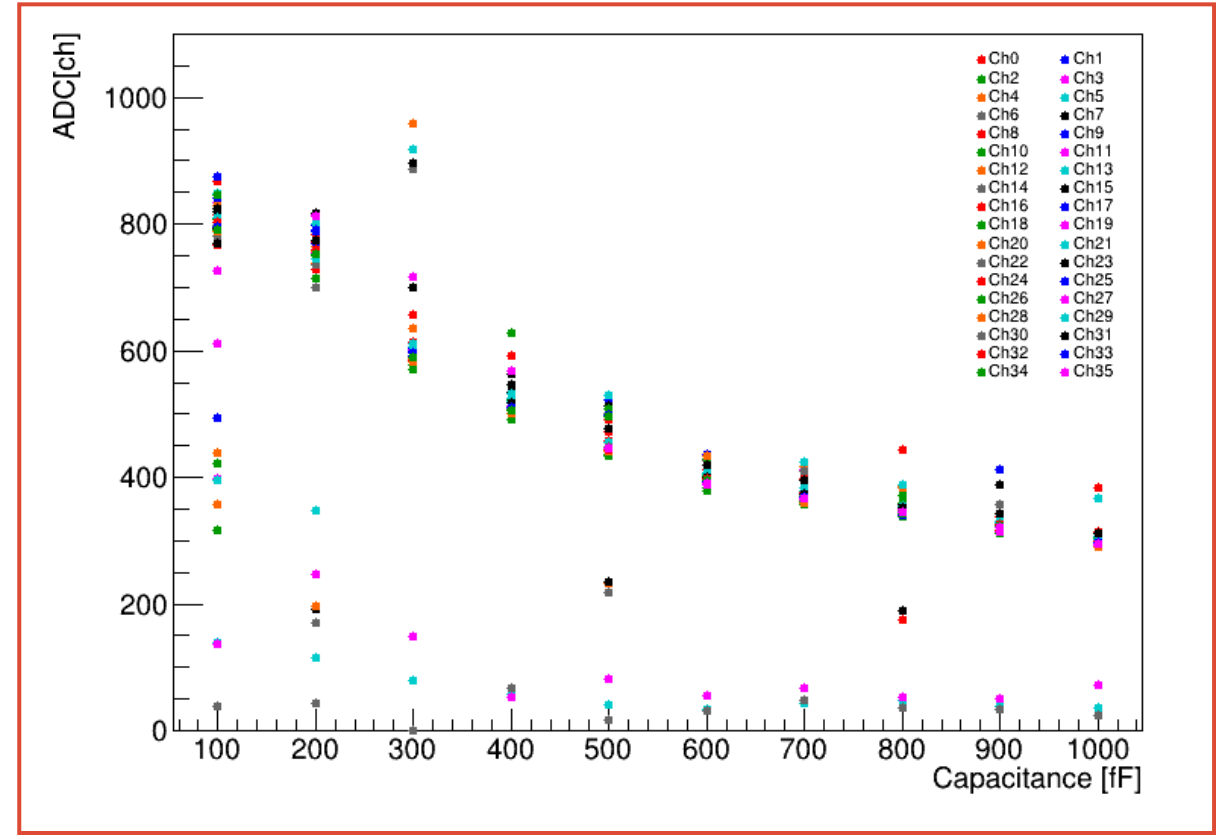
## 測定条件

センサー無し1チップ

$$ADC = \frac{Q_{inj}}{C_f + C_{fcomp}}$$

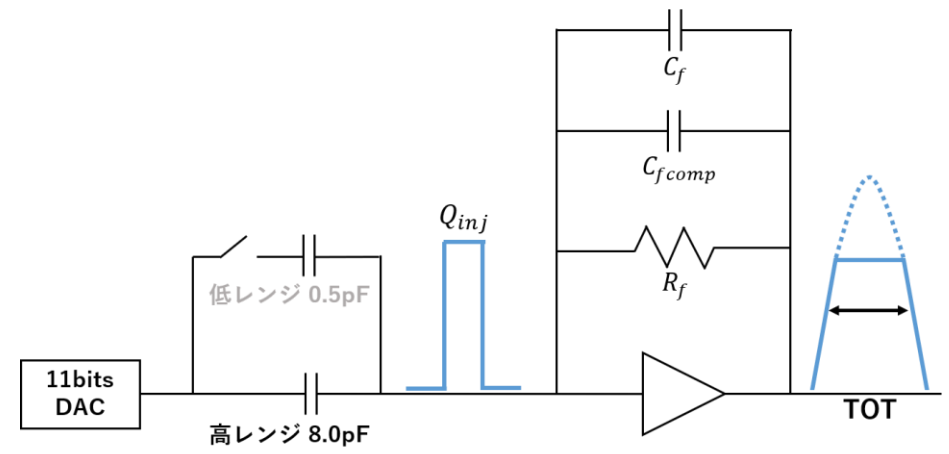
$$C_f + C_{fcomp} = 100\text{fF} \sim 1000\text{fF}$$

$$Q_{inj} = C_{inj} \times \frac{DAC_{inj}}{2048} = 0.5\text{pF} \times \frac{400}{2048}$$



増幅率が小さくなるにつれ出力が減少、チャンネル間でばらつき  
 11チップ396chに対して同様の測定を実施

# 測定結果 TOT増幅率応答



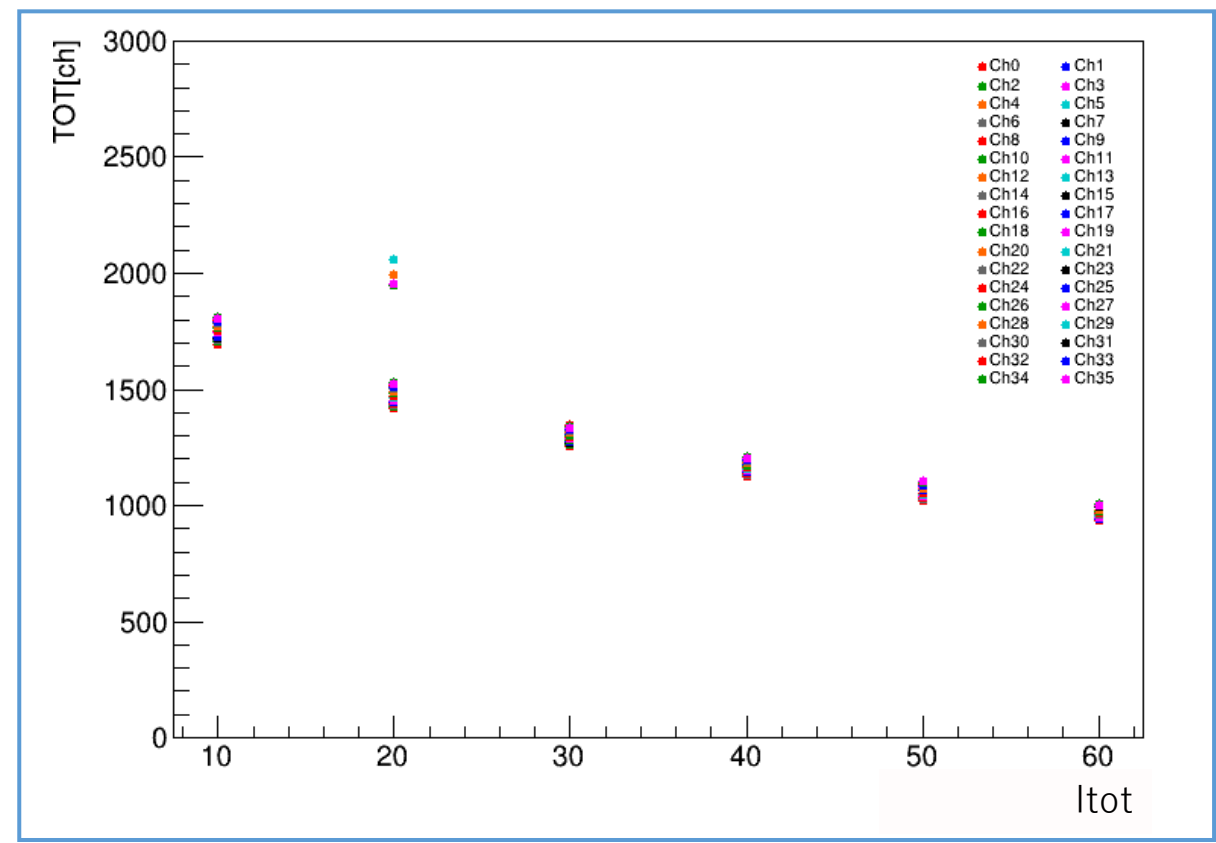
## 測定条件

センサー無し1チップ

Itot ... TOTの持続時間を制御、6bit(0-63)

Itot = 10~60

$$Q_{inj} = C_{inj} \times \frac{DAC_{inj}}{2048} = 8.0pF \times \frac{1000}{2048}$$



増幅率が小さくなるにつれ出力が減少、ADCに比べてチャンネル間のばらつきは小さい  
 11チップ396chに対して同様の測定実施

解析

センサー付きチップ1個とセンサー無しチップ10個の合計11個のチップを解析

## 評価項目

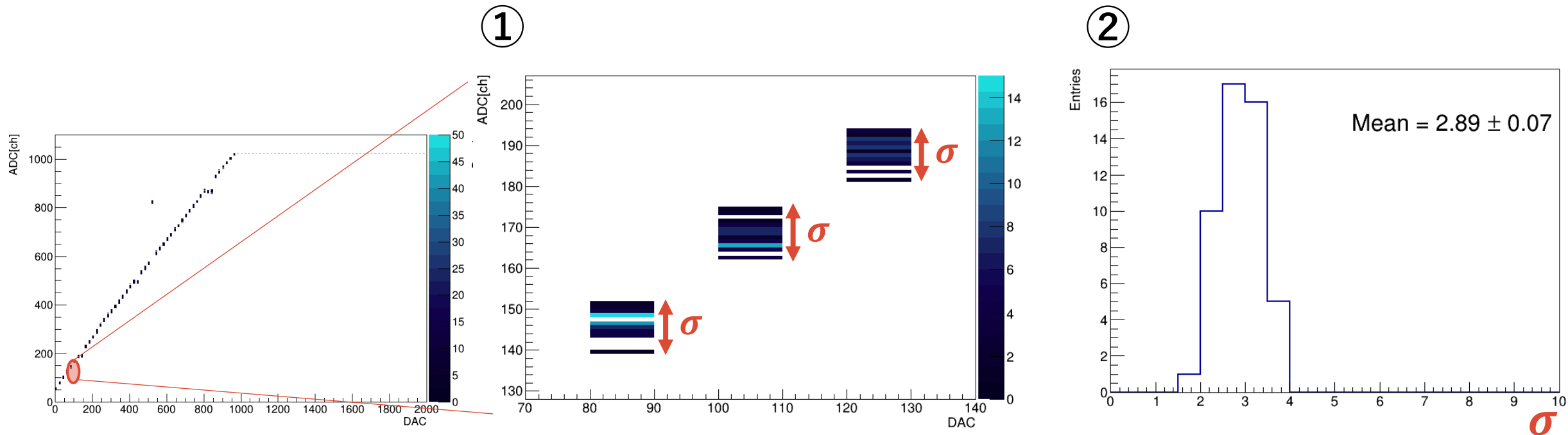
1. 内部電荷測定の実定性
2. ADCの傾きとオフセット
3. ADCの線形性
4. 増幅率応答特性

# 解析方法 1. 内部電荷測定の実定性

chごとの実定性を表す指標を取得、不良ch基準を確立する

## 解析手順(例：ADC)

- ① DAC Scan結果から、各DAC値の標準偏差  $\sigma$  を取得
- ② ヒストグラム分布にし、平均値(そのchのノイズレベル)を取得



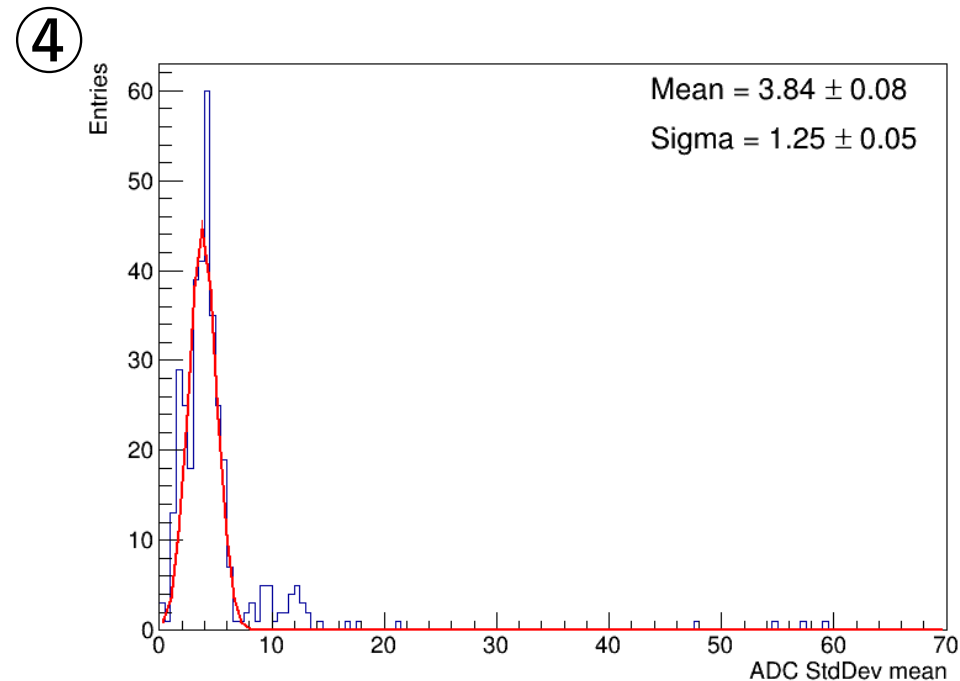
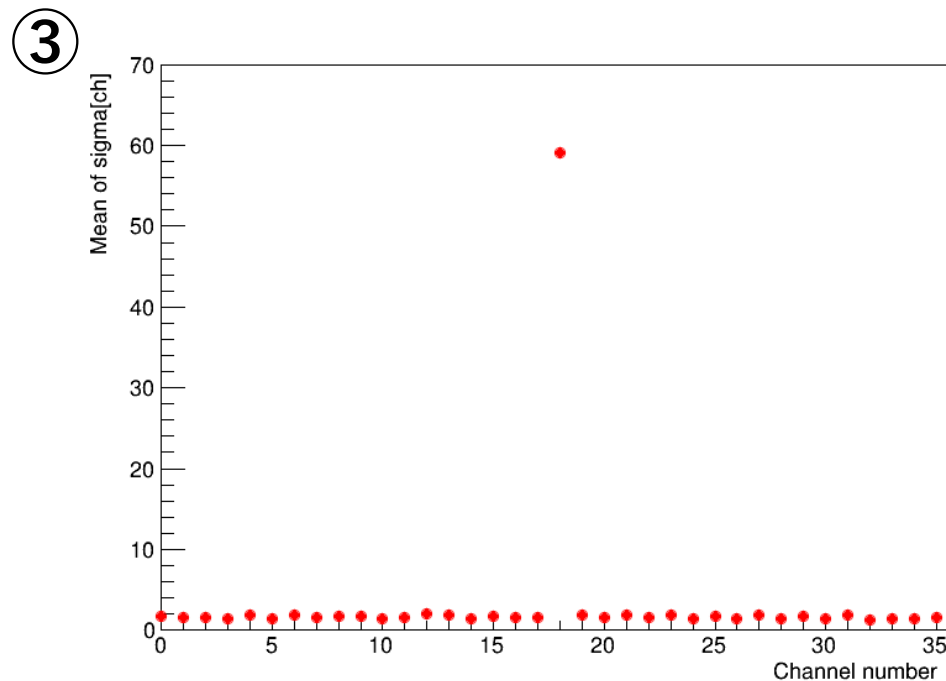
# 解析方法 1. 内部電荷測定の一安定性

chごとの安定性を表す指標を取得、不良ch基準を確立する

## 解析手順(例：ADC)

③各chで  $\sigma$  平均値を取得

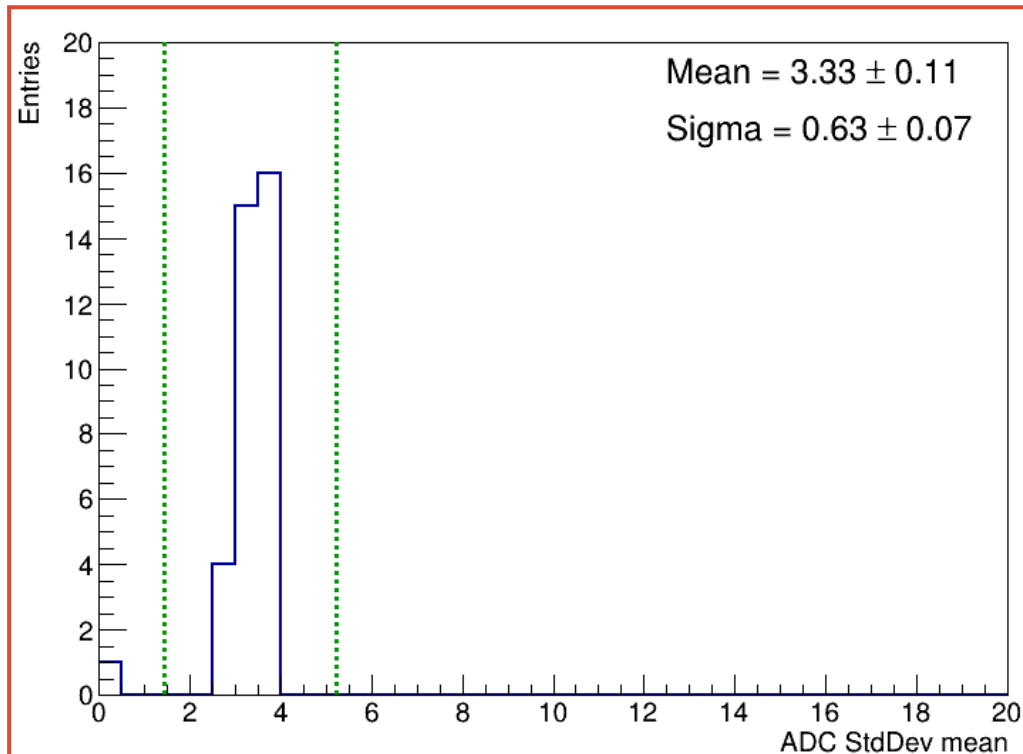
④全chの  $\sigma$  平均値分布を作成、判定基準を設定→ $\text{Mean} \pm 3\sigma$ を超えるchを不良と判定



# 解析結果 1. 内部電荷測定の一安定性(センサー有)

各chの測定安定性の指標である  $\sigma$  平均値分布。Mean  $\pm 3\sigma$  の範囲外  $\rightarrow$  不良ch

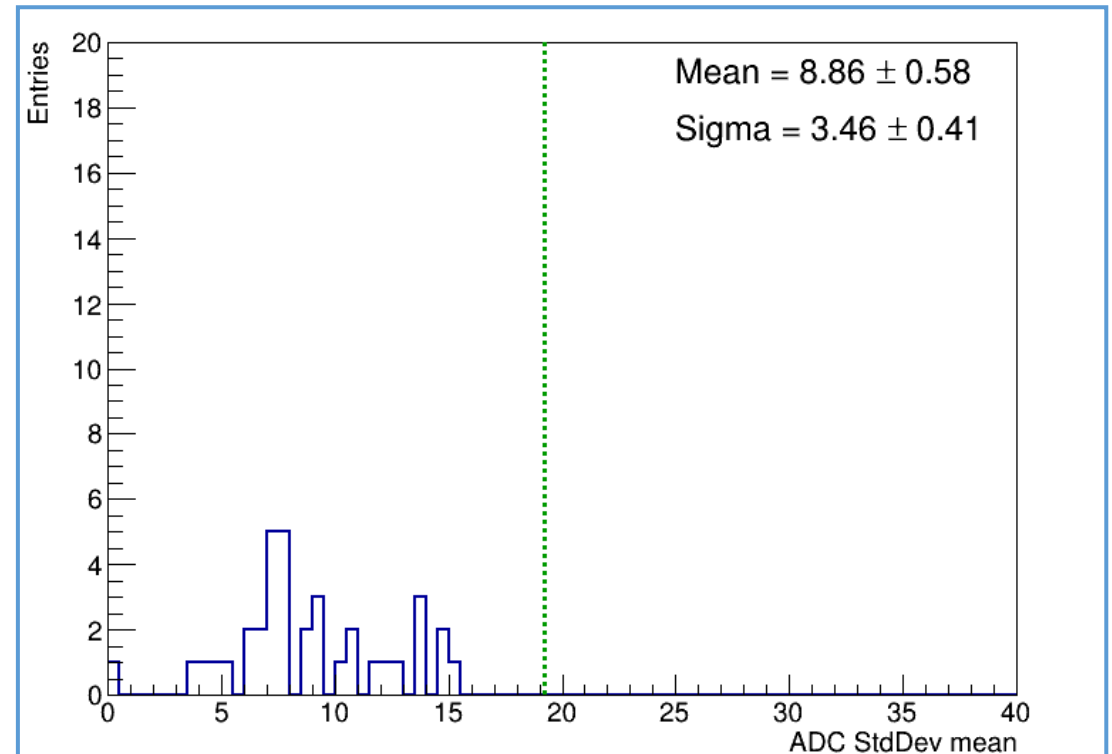
## ADC 36ch



不良基準： $x < 1.44$ または $x > 5.22$

不良ch：約2.8% (36ch中1ch)

## TOT 36ch



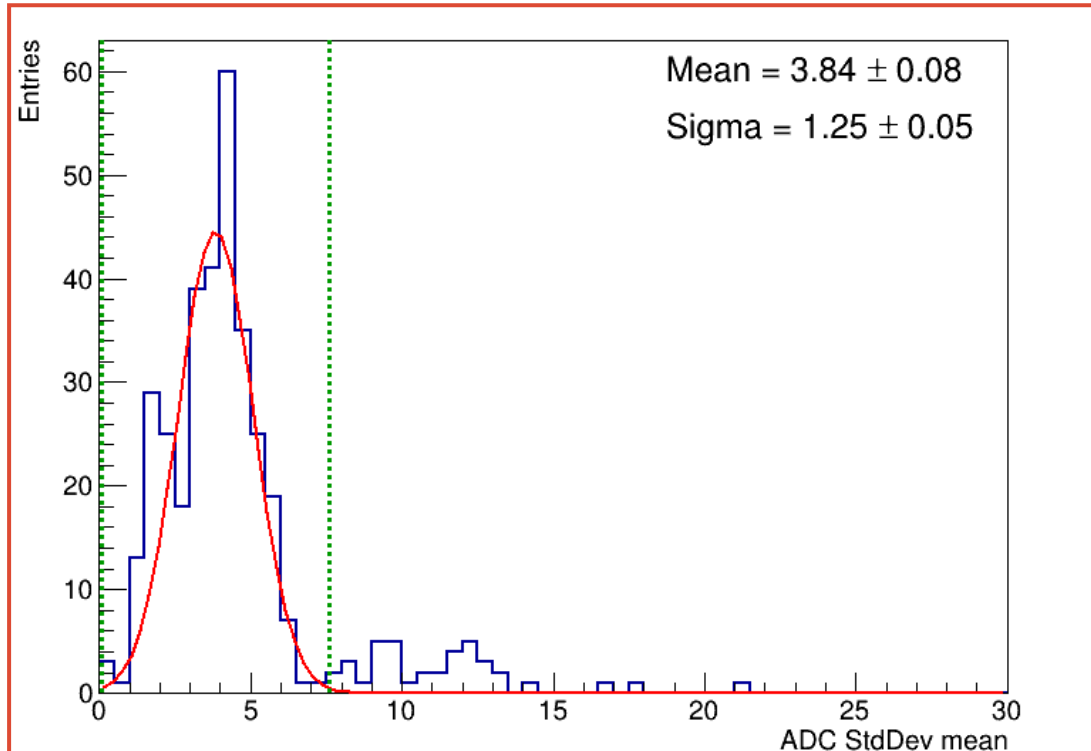
不良基準： $x < -1.52$ または $x > 19.24$

不良ch：0% (36ch中0ch)

# 解析結果 1. 内部電荷測定の一安定性(センサー無)

各chの測定安定性の指標である  $\sigma$  平均値分布。Mean  $\pm 3\sigma$  の範囲外  $\rightarrow$  不良ch

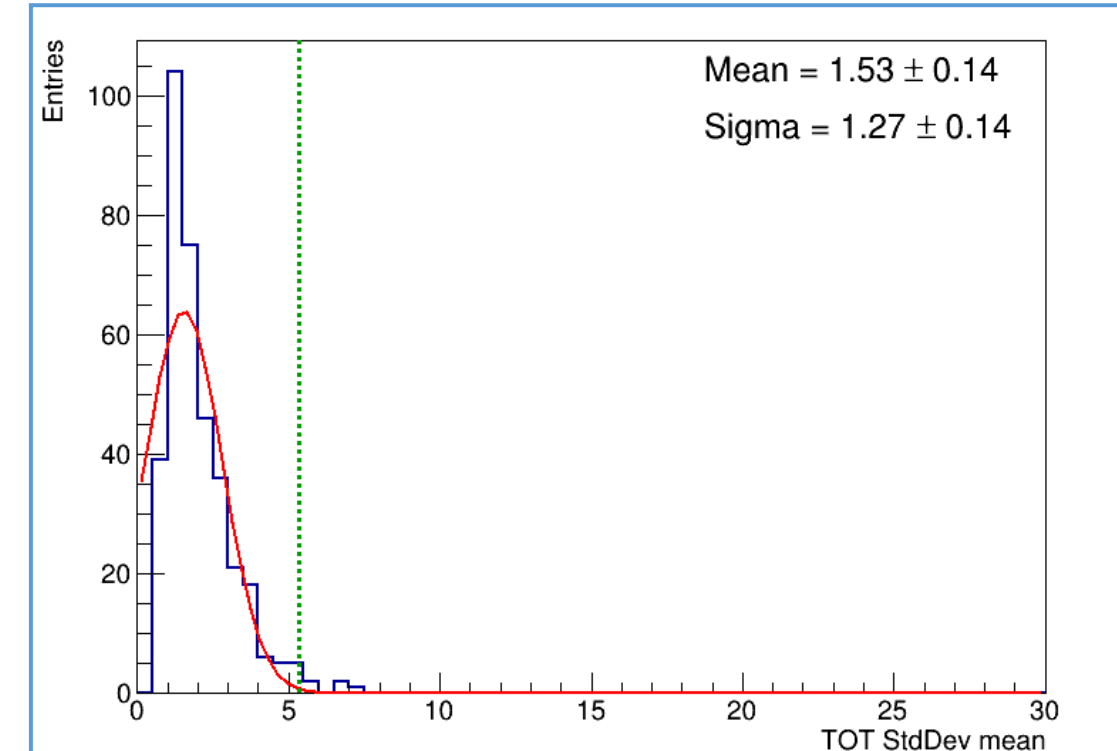
## ADC 360ch



不良基準： $x < 0.09$  または  $x > 7.59$

不良ch：約12.8% (360ch中46ch)

## TOT 360ch



不良基準： $x < -2.28$  または  $x > 5.34$

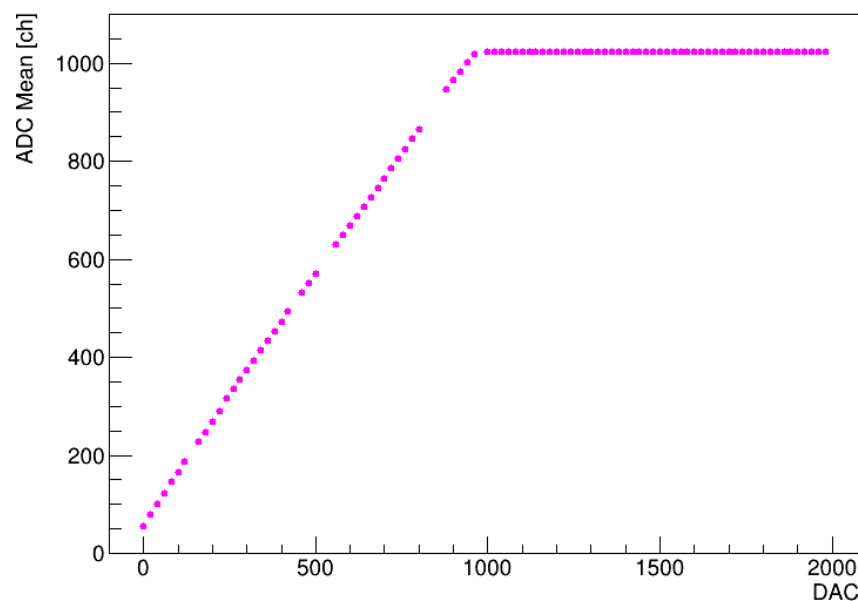
不良ch：約1.9% (360ch中7ch)

# 解析方法 2. ADCの傾きとオフセット

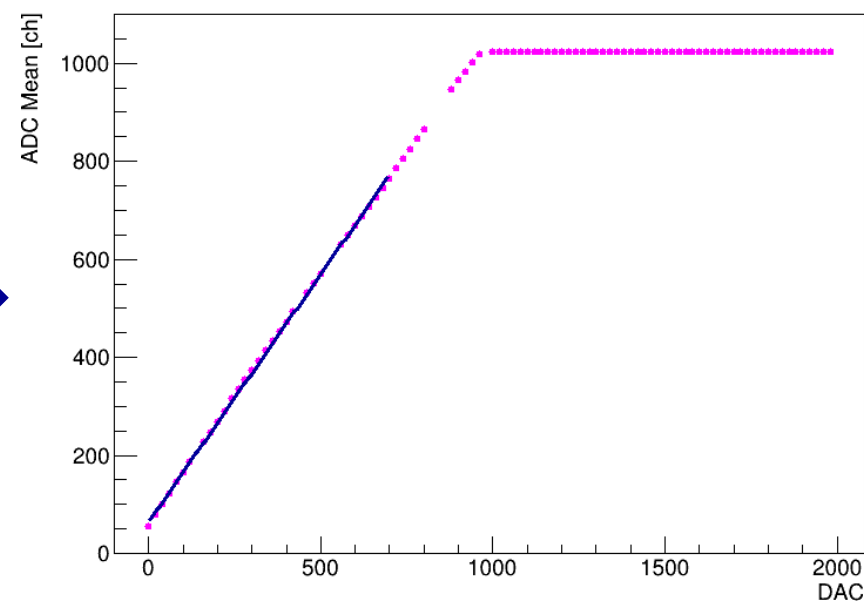
ADCのDAC Scan結果からchごとに傾きとオフセットを取得、不良ch基準を確立する

## 解析手順

- ①ADCのDAC Scan結果に対して一次関数 $y = ax + b$ でフィット
- ②フィットパラメータ(傾き $a$ 、オフセット $b$ )を取得
- ③全chの傾きとオフセットを取得、分布を作成し判定基準を設定→ $\text{Mean} \pm 3\sigma$ を超えるchを不良と判定



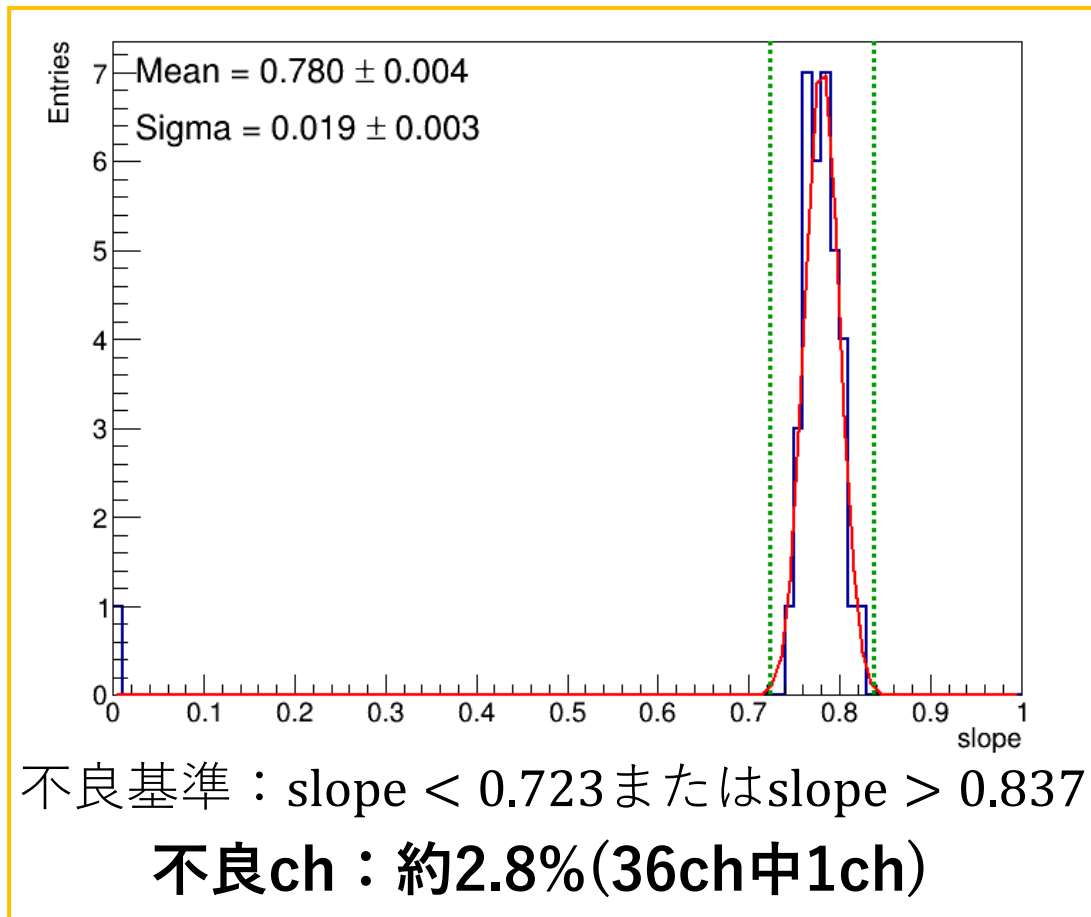
$y = ax + b$   
フィット



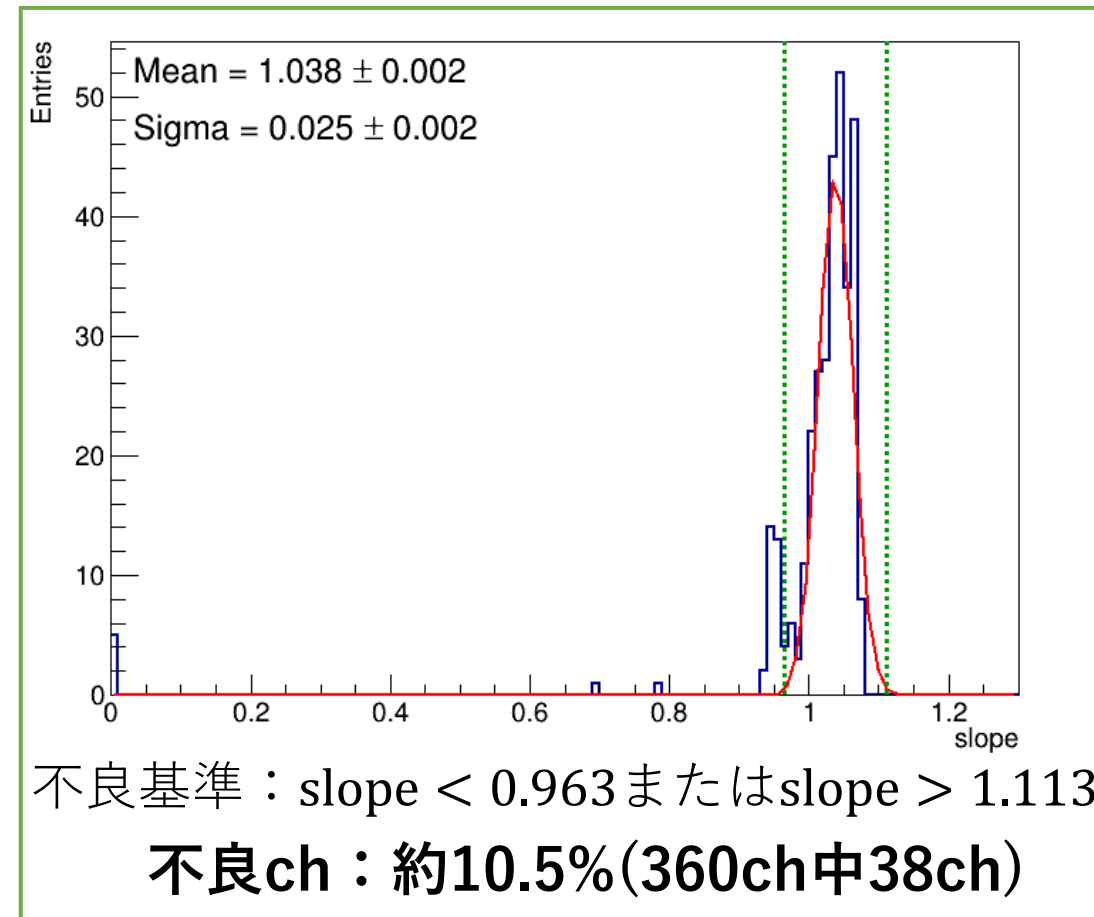
# 解析結果 2. ADCの傾き

全chの傾き分布。Mean  $\pm 3\sigma$  の範囲外  $\rightarrow$  不良ch

## センサー有 36ch



## センサー無 360ch

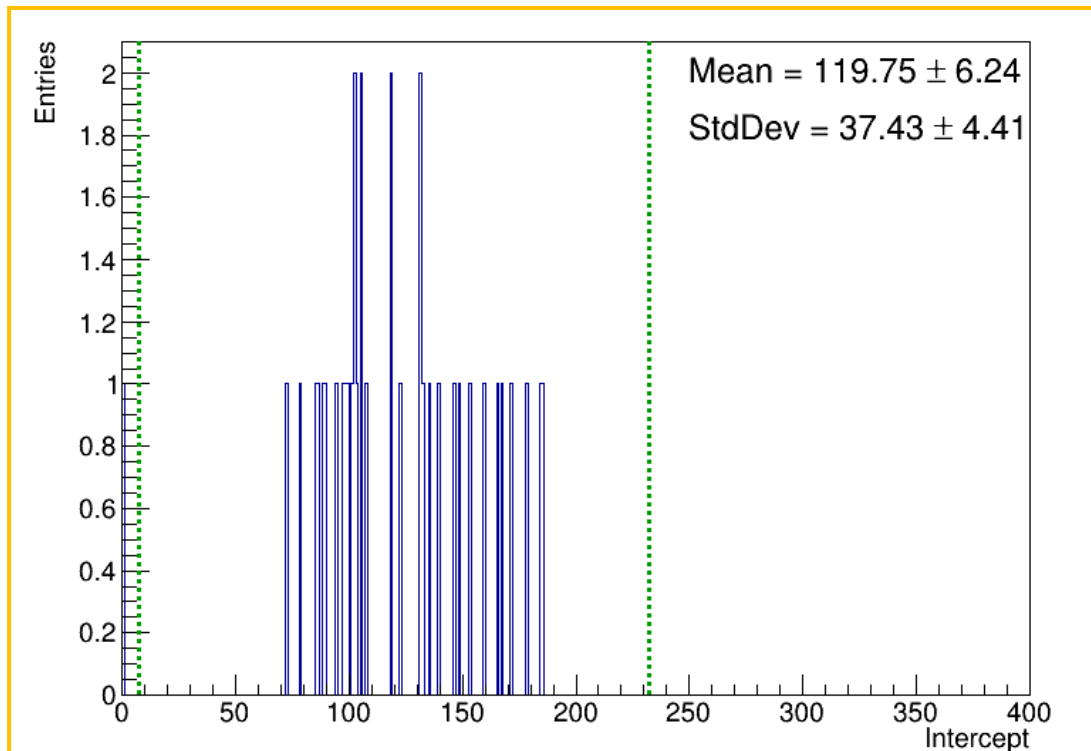


センサー有は、センサー容量の付加により増幅率が低下し傾きが小さくなったと考えられる

# 解析結果 2. ADCのオフセット

全chのオフセット分布。Mean ± 3σ の範囲外→不良ch

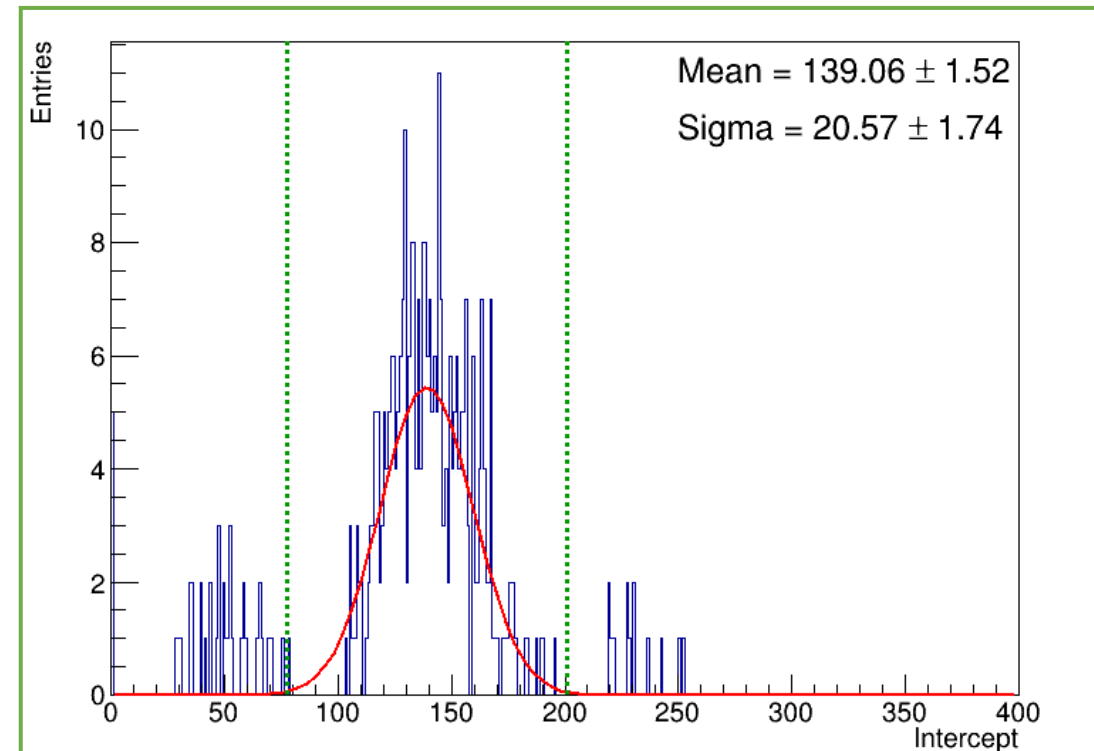
## センサー有 36ch



不良基準：offset < 7.53またはoffset > 231.99

**不良ch：約2.8%(36ch中1ch)**

## センサー無 360ch



不良基準：offset < 77.35またはoffset > 200.77

**不良ch：約14.4%(360ch中52ch)**

傾きとオフセットの解析で判定した不良ch→**センサー有：2.8%，センサー無：23.3%**

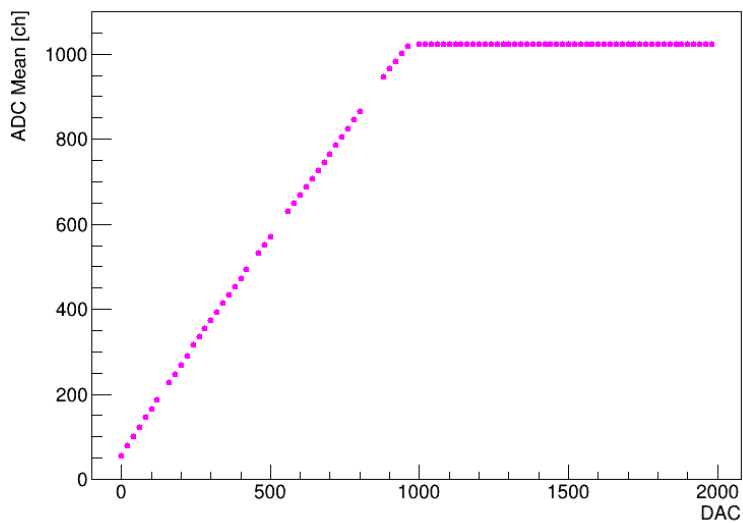
# 解析方法 3. ADCの線形性

ADCのDAC Scan結果からchごとに  $\chi^2/\text{ndf}$  を取得、不良ch基準を確立する

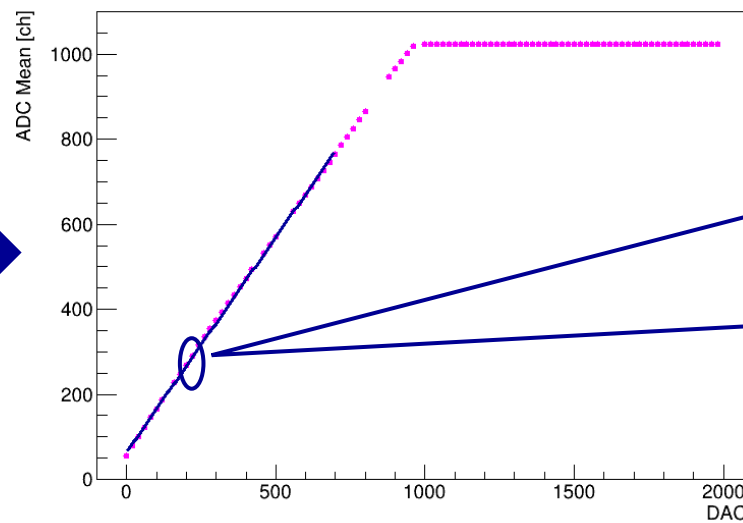
## 解析手順

- ①ADCのDAC Scan結果に対して一次関数  $y = ax + b$  でフィット
- ②  $\chi^2/\text{ndf}$  取得
- ③全chの  $\chi^2/\text{ndf}$  を取得、分布を作成し判定基準を設定

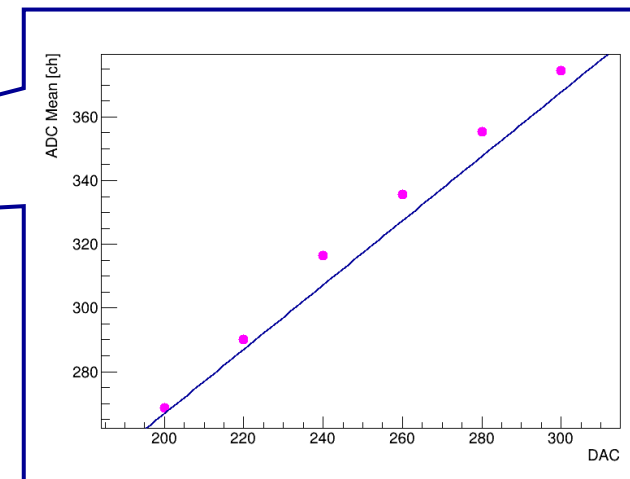
**$\chi^2/\text{ndf}$**   
 フィット精度を表す指標  
 1に近いほど精度が良い



**$y = ax + b$   
 フィット**



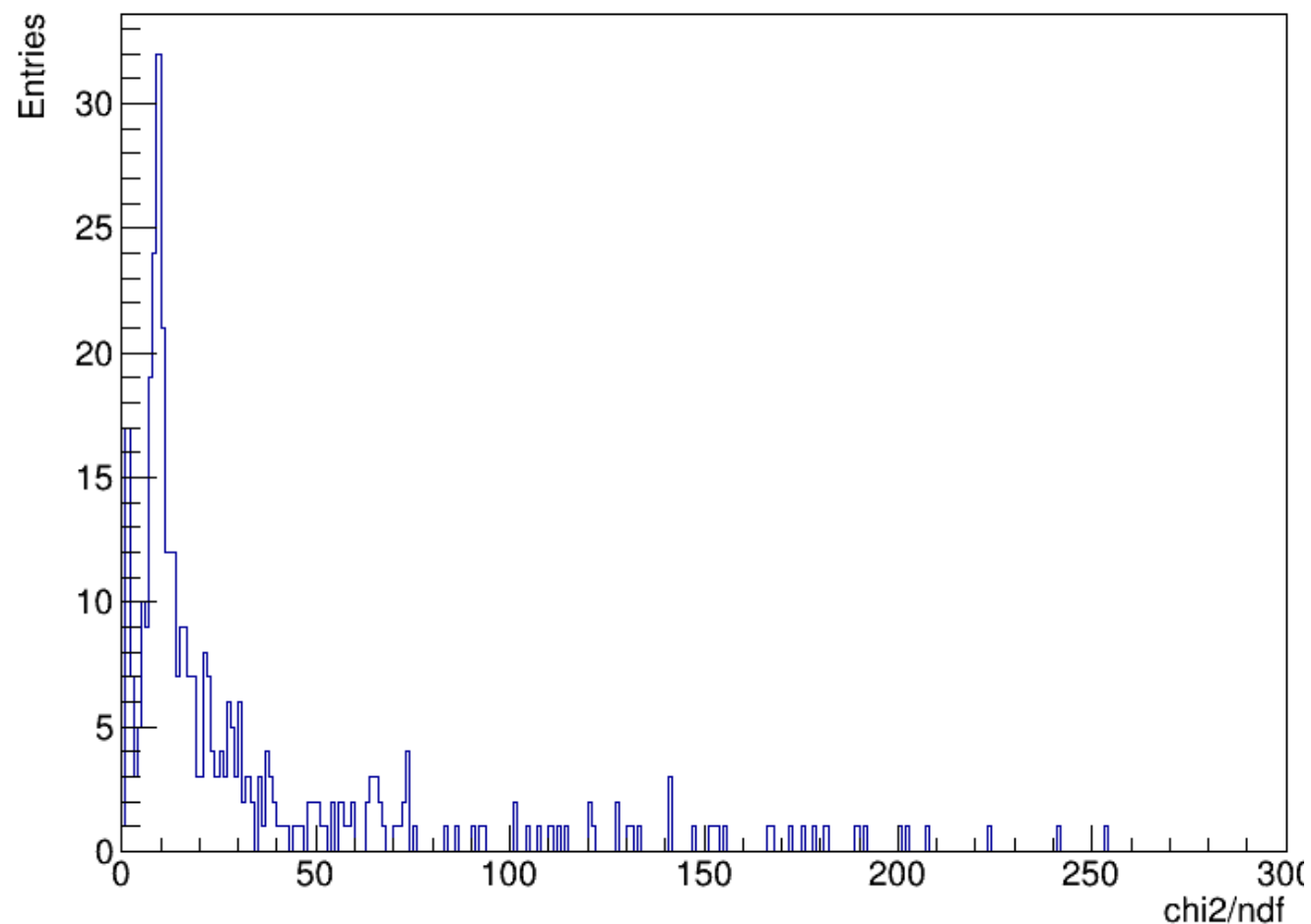
フィット線と測定点のずれが小さい程線形性が良い ( $\chi^2/\text{ndf} \approx 1$ )



全chの  $\chi^2/\text{ndf}$  分布

$\chi^2/\text{ndf}$ が2桁を超えるchが複数存在  
→入力DACの一部領域で線形性が悪化している可能性

**フィット精度をResidualおよびPullを用いて詳細に調査**



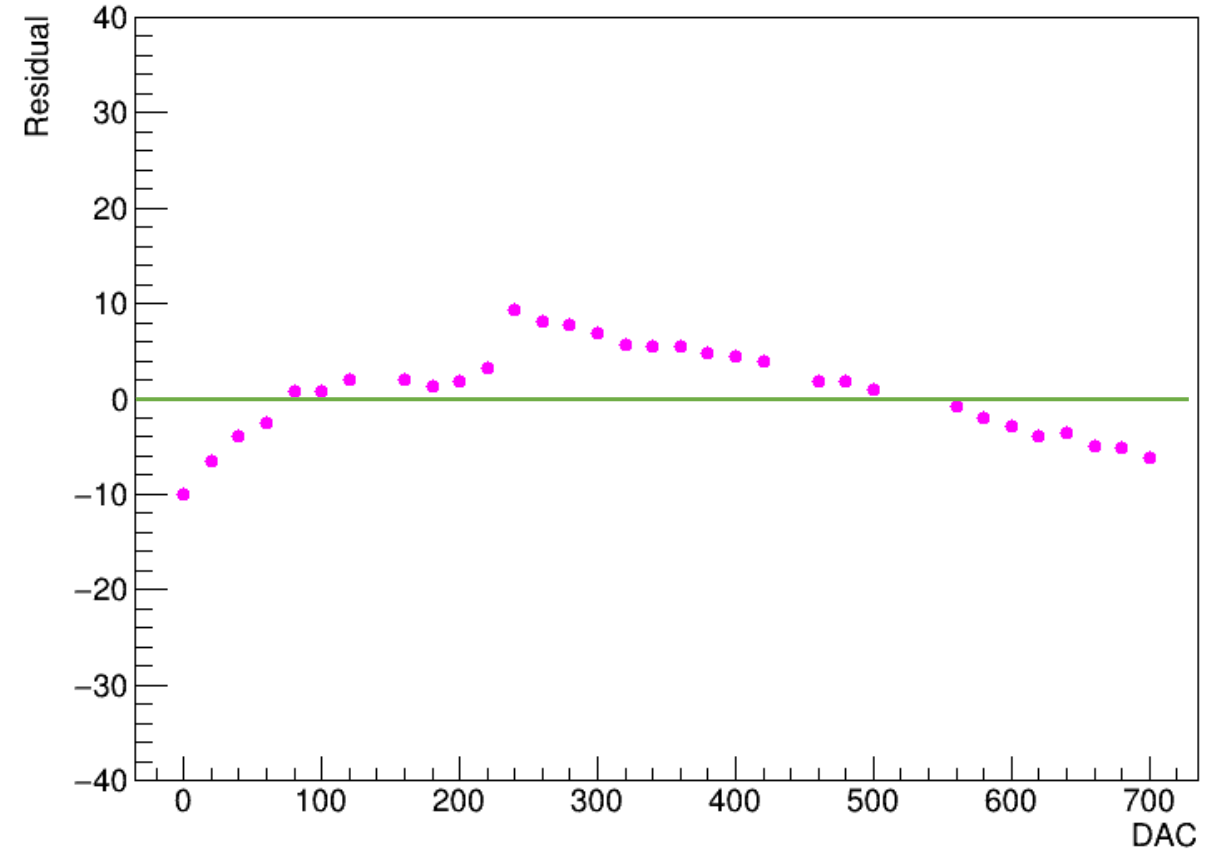
Residual…測定値とフィット値の差



右図は1chのResidual分布

横軸：DAC 縦軸：Residual

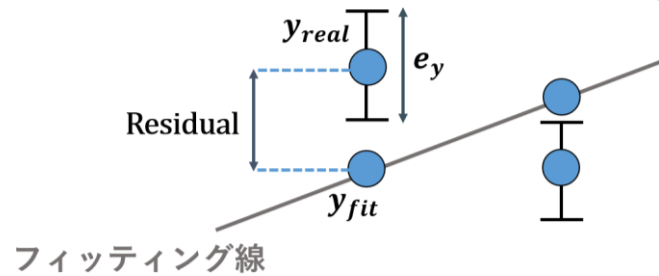
- DAC 0-240：正側に増加
- DAC 240-700：負側に減少



測定値とフィット線のずれが入力DAC値に依存して変化

Pull…測定値とフィット値の差を測定誤差で規格化した値

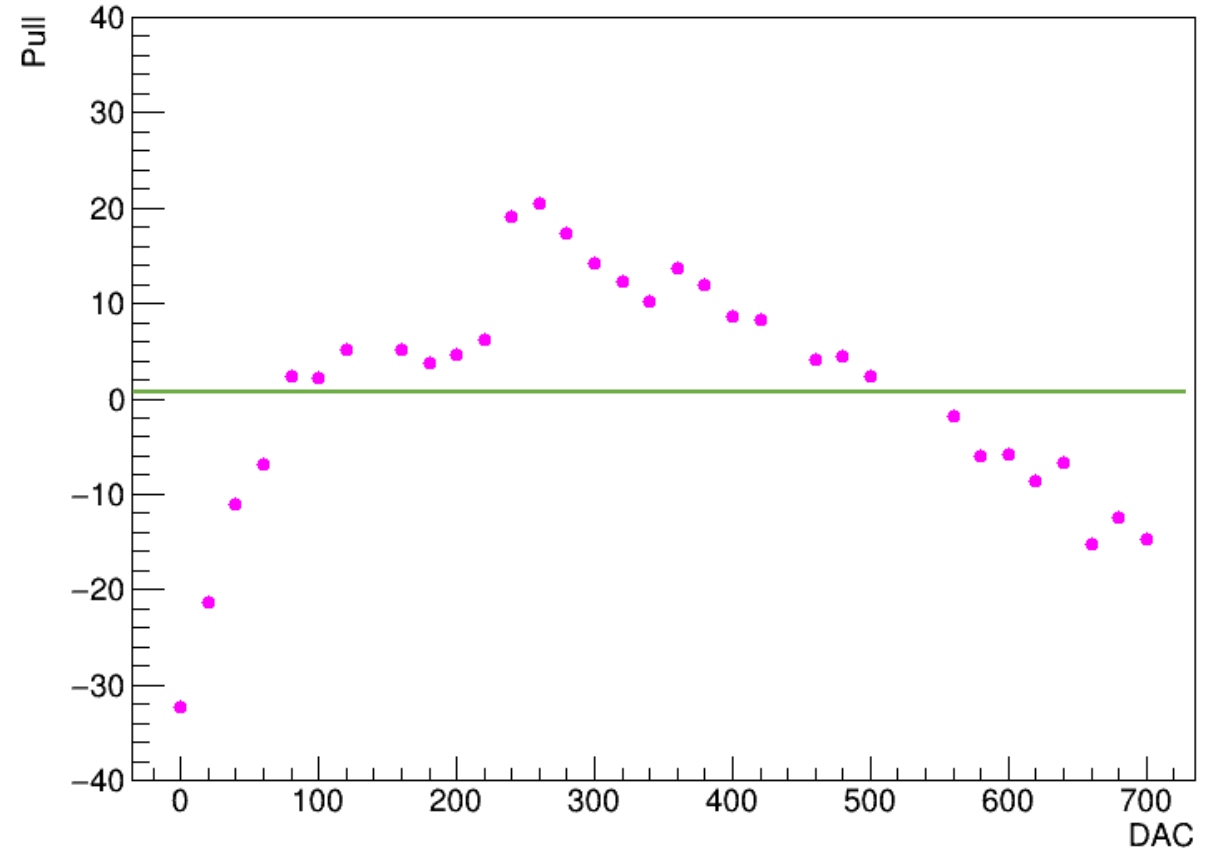
$$\text{Pull} = \frac{y_{\text{real}} - y_{\text{fit}}}{e_y}$$



右図は1chのPull分布

横軸：DAC 縦軸：Pull

- ・ DAC 0付近：Pull が大きく線形性が悪い
- ・ 1より大きいPullが多数存在することから、測定誤差は小さく測定値とフィットのずれが大きい  
→  $\chi^2/\text{ndf}$  が大きい要因



**ADCの線形性に基づく不良判定基準の設定は行わない**

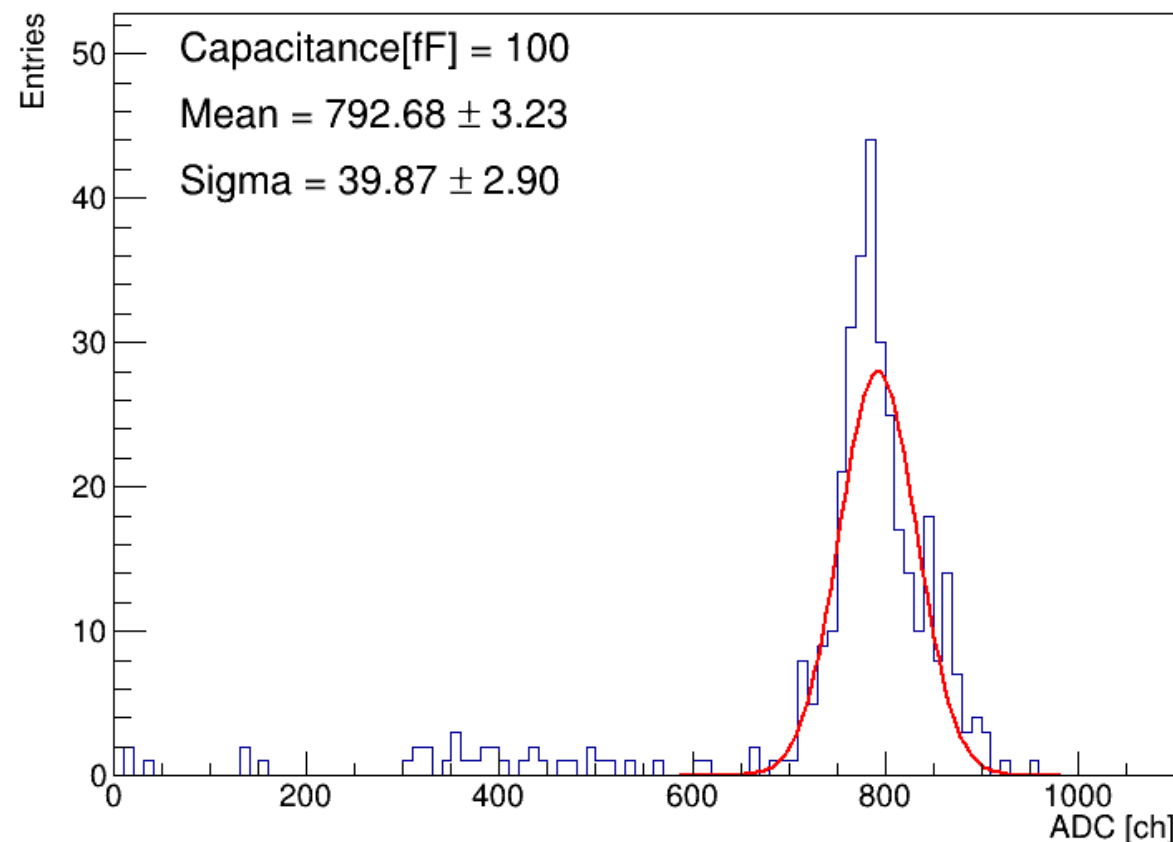
# 解析方法 4. 増幅率応答特性

増幅率設定に対するch/チップ間のばらつきやセンサー有無の影響を調べる

※不良chの基準確立は行わない

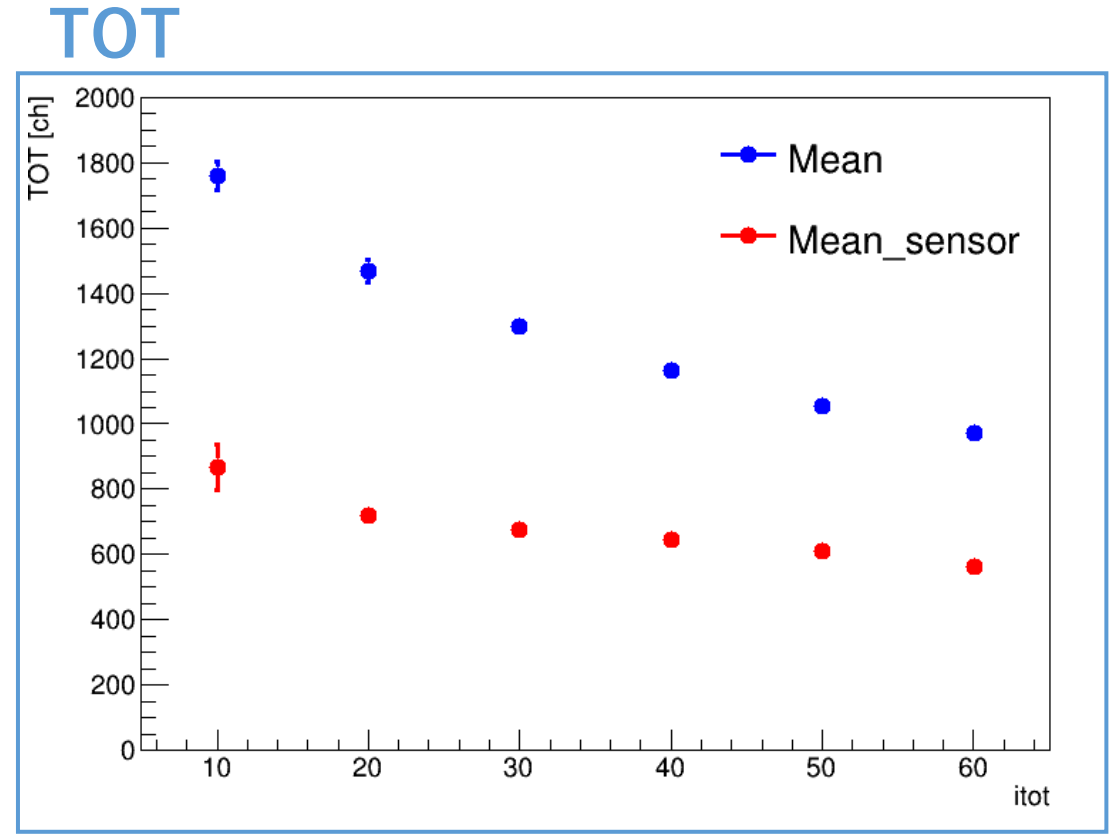
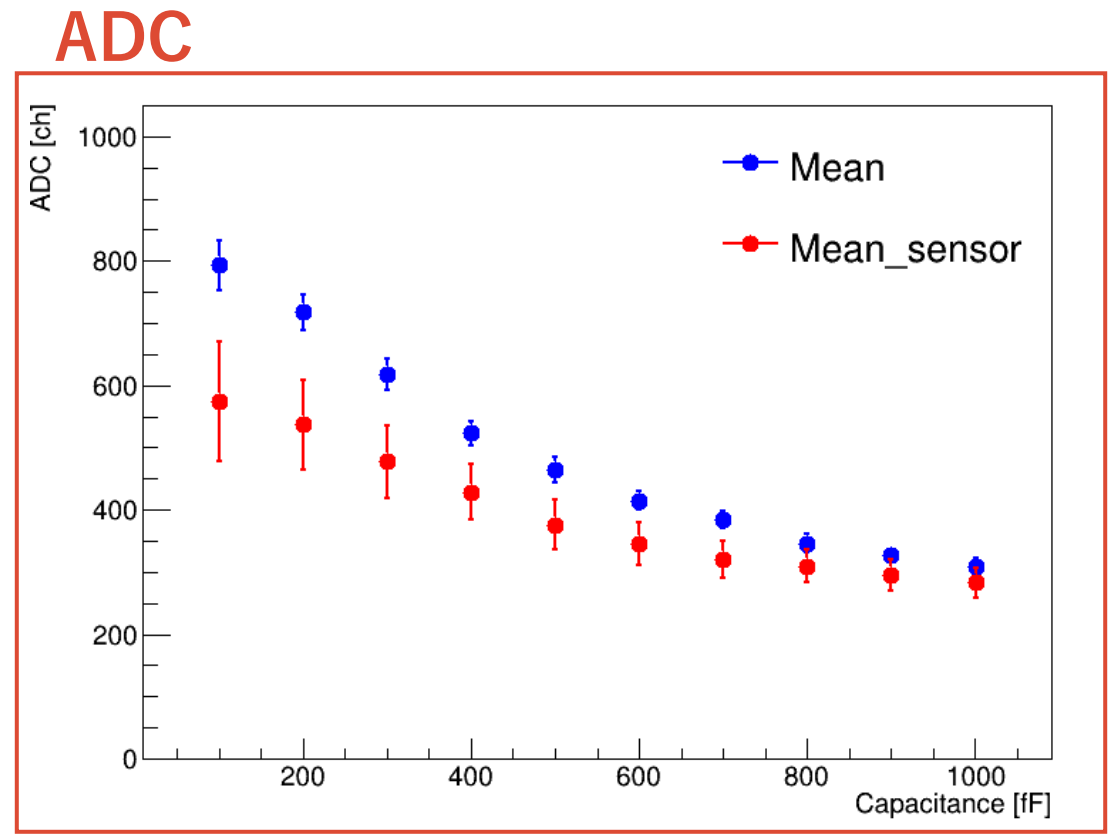
## 解析手順

- ①増幅率設定ごとにヒストグラム分布を作成
- ②各設定ごとに平均値と分布幅( $\sigma$ )を取得
- ③設定に対する応答を評価



# 解析結果 4. 増幅率応答特性

増幅率設定別のADC/TOT応答(青：センサー無, 赤：センサー有)

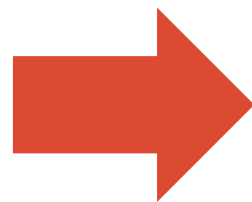


増幅率設定が小さくなるほど出力が減少する傾向を確認  
センサー付きチップはチップ単体と比較して出力が小さい  
→センサー容量が付加されることで入力容量が増大し、出力が低下

# 不良チップ判定と測定時間

内部電荷測定の実安定性、ADCの傾きとオフセットの解析で確立した不良チャンネル基準を元にチップごとの不良ch割合(%)を算出

チップ番号	不良ch割合
0	2.8%
1	14%
2	5.6%
3	8.3%
4	<b>94%</b>
5	5.6%
6	<b>86%</b>
7	11%
8	<b>94%</b>
9	11%
10	11%



- ・全chの内、**80%以上**のchが不良の場合を不良チップとする

- ・チップ番号4, 6, 8→不良チップ

- ・1チップのADCとTOT測定時間は約2時間

- ・2000チップ約4000時間

**量産を見据え、より効率的な評価方法が必要**

# まとめ

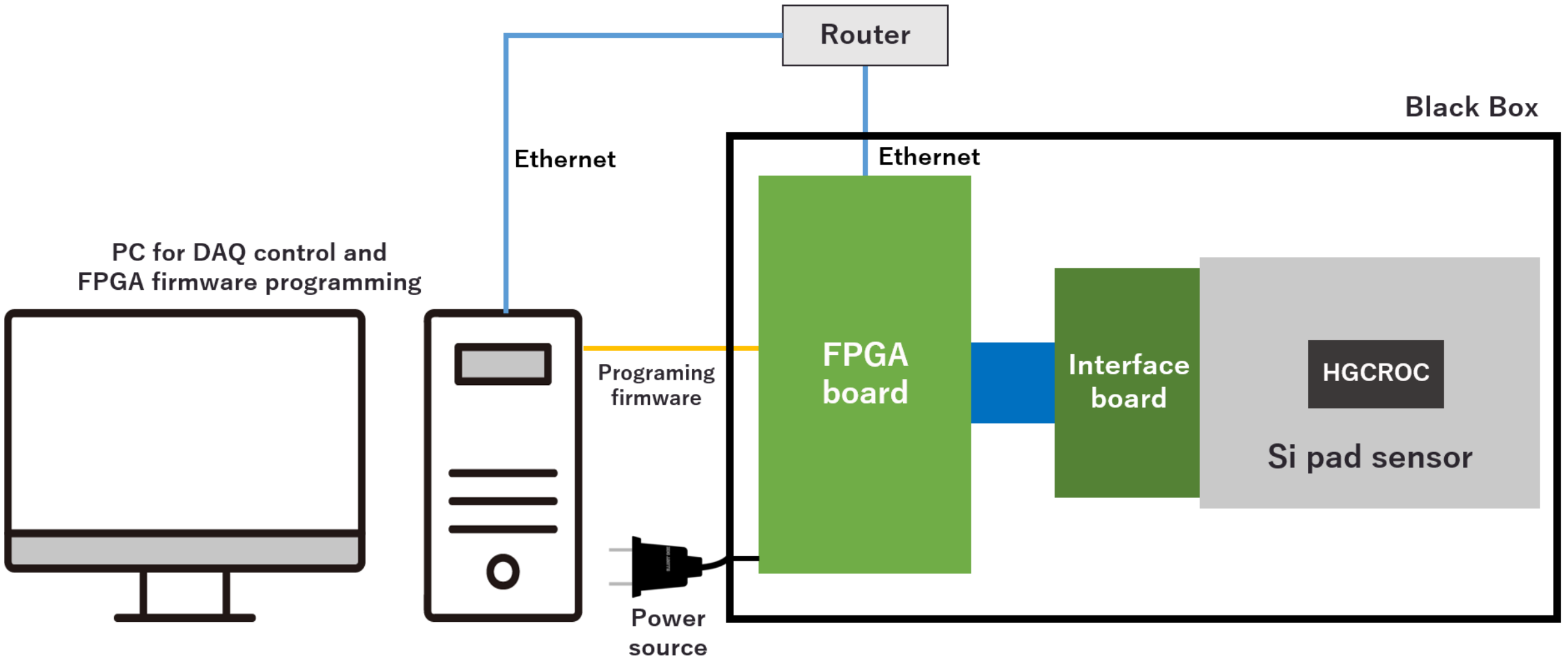
- 2030年からALICE実験で運用が予定されているFoCal検出器について、信号読み出しASIC HGCROCの不良判定基準を確立した
- 内部電荷測定の安定性、ADCの傾きとオフセット、ADCの線形性、増幅率応答特性の4つについて評価を実施
- 内部電荷測定の安定性、ADCの傾きとオフセットの解析結果より、チップの**80%以上**が不良chの場合を不良チップとする基準を確立。11チップ中70%以上のチップが良好

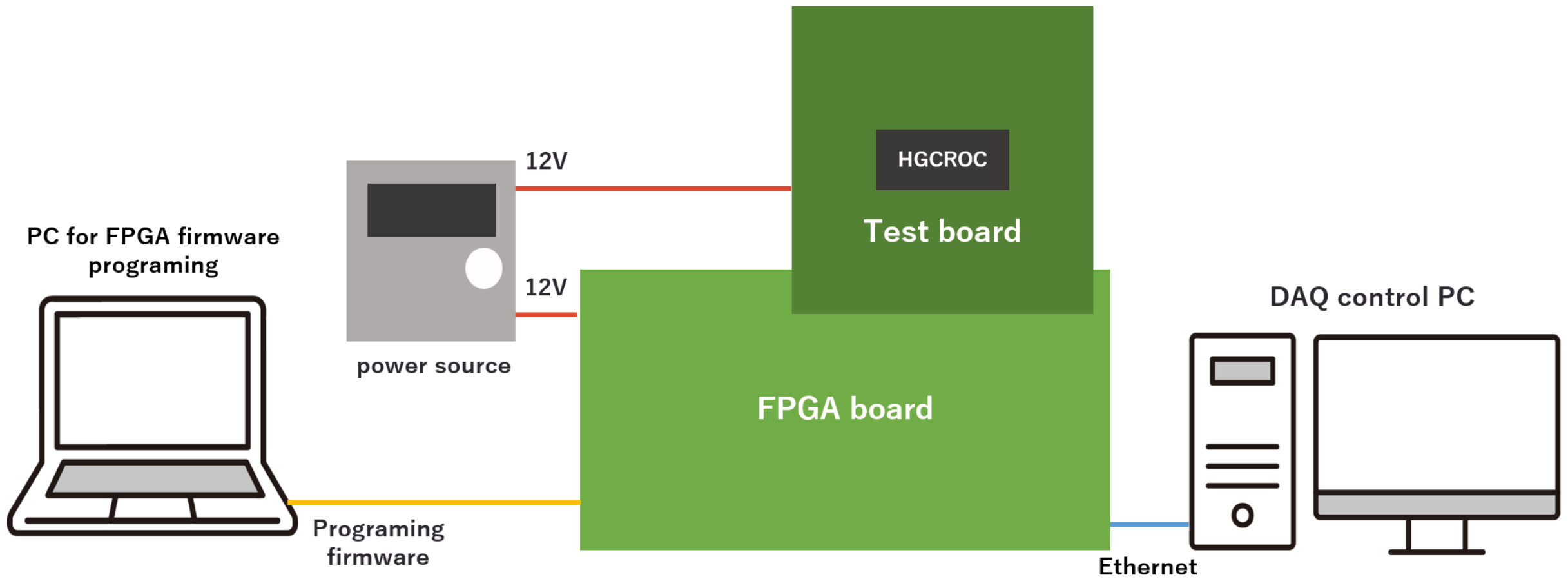
→3月の物理学会で発表予定

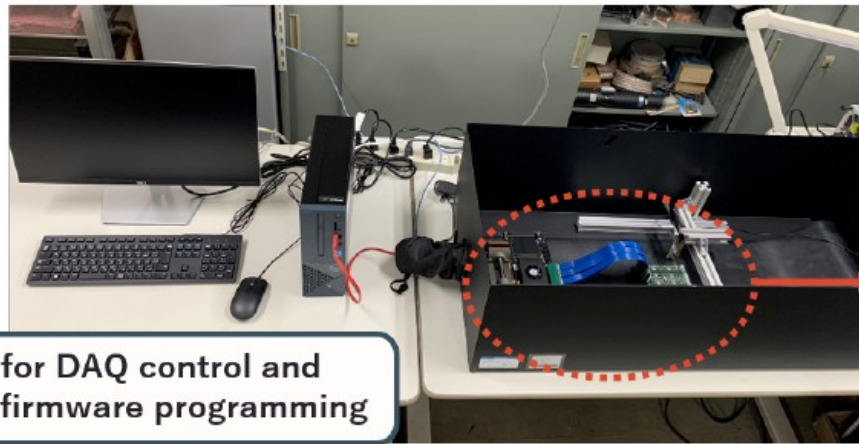
## 今後

- テストボードの改良→全72chで測定
- Siセンサーからの外部信号の読み出し測定
- 量産を見据えた効率的な測定方法の確立

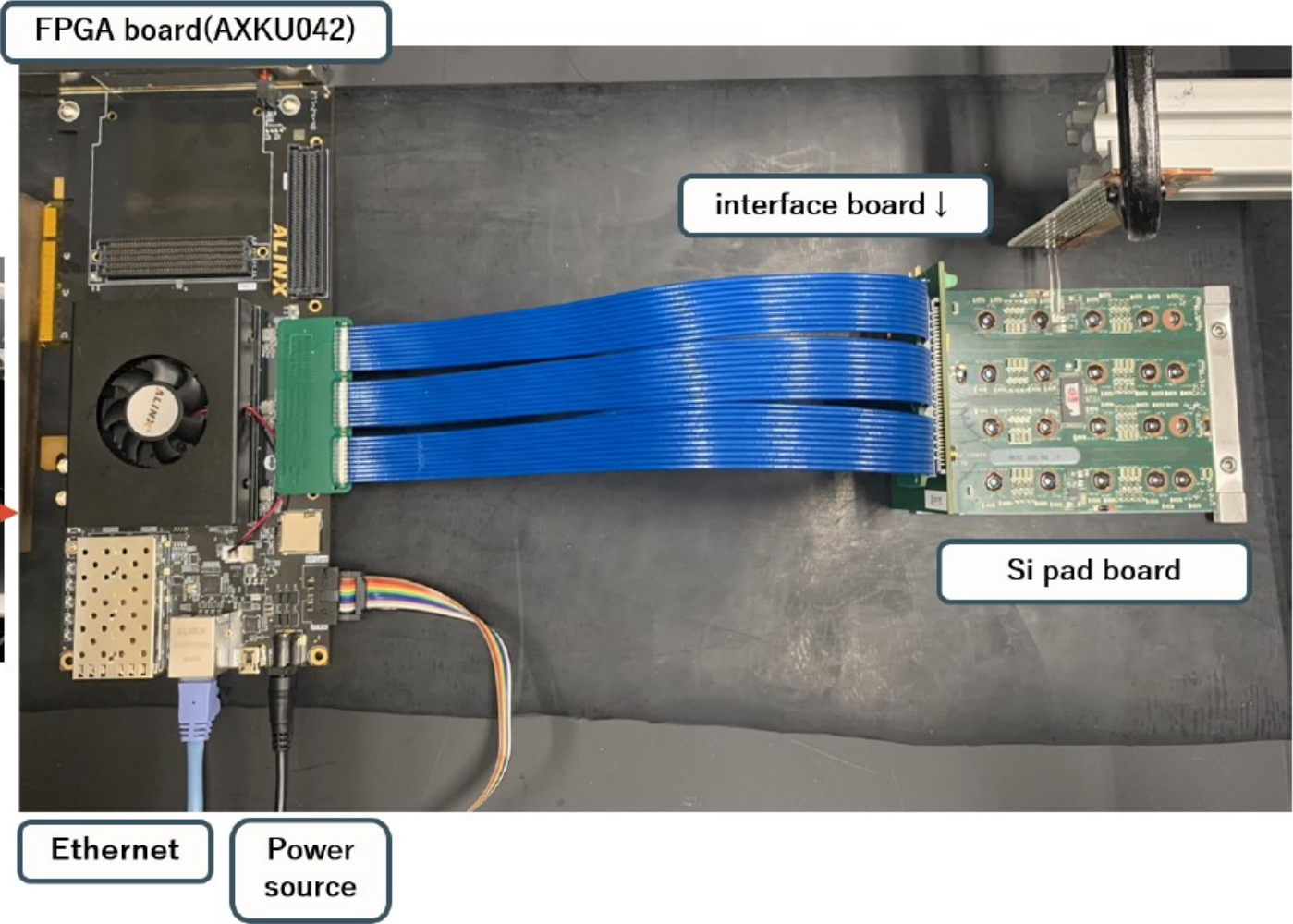
Back up







PC for DAQ control and  
FPGA firmware programming



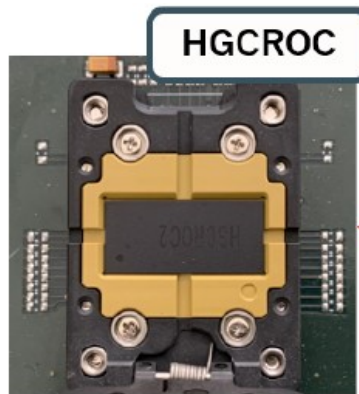
FPGA board(AXKU042)

interface board ↓

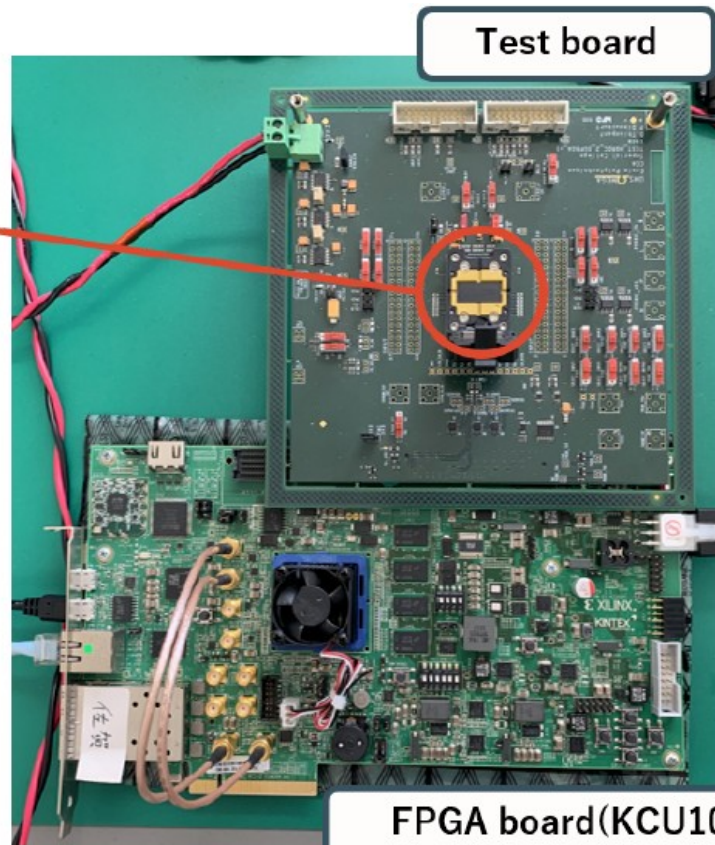
Si pad board

Ethernet

Power  
source

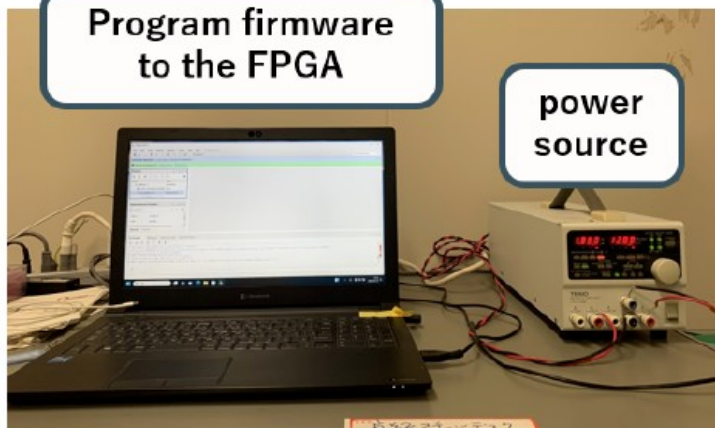


HGCROC



Test board

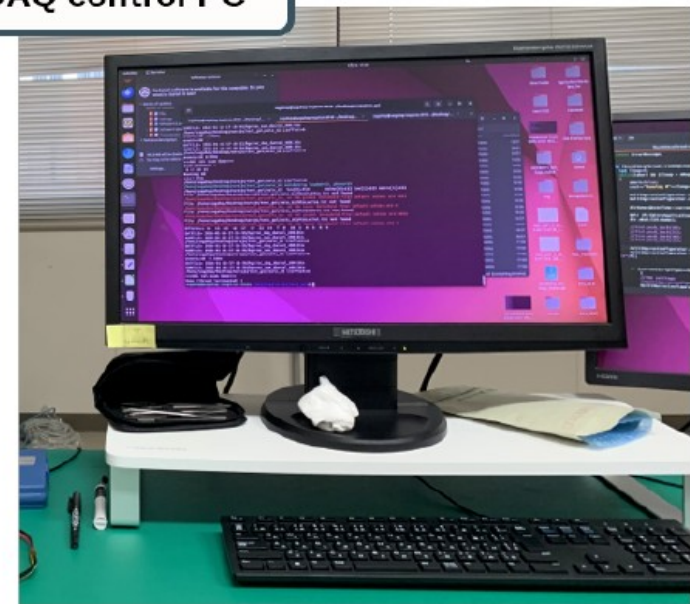
FPGA board(KCU105)

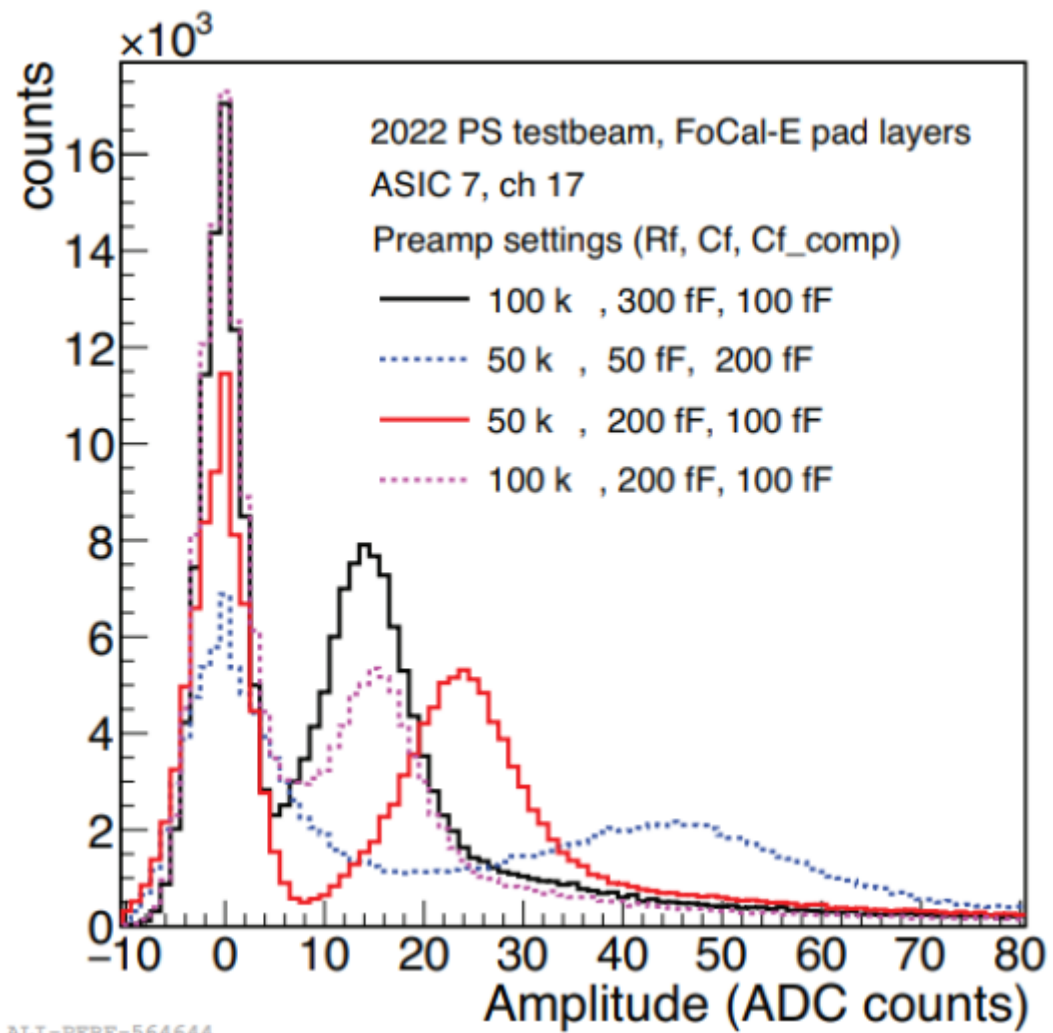


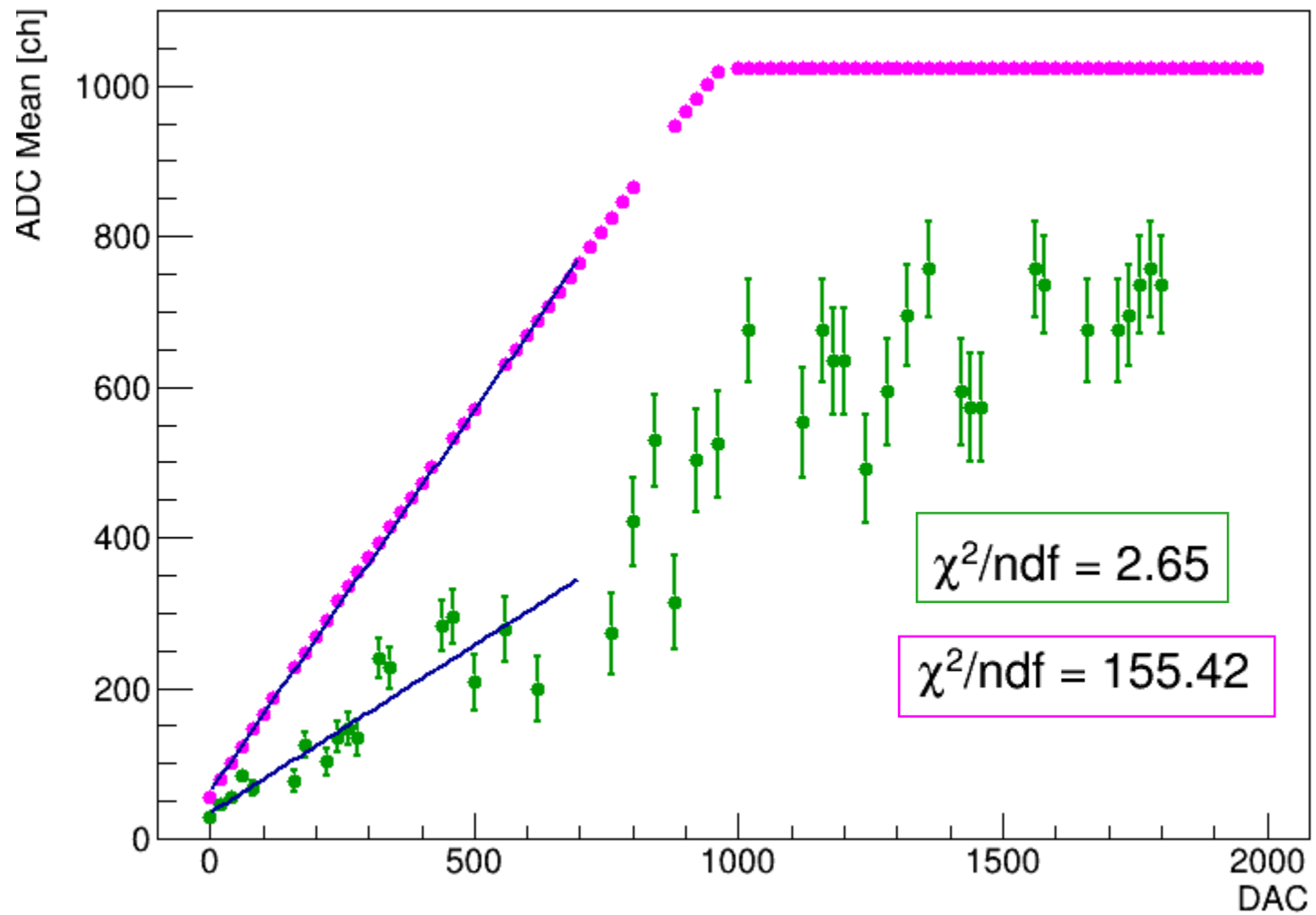
Program firmware to the FPGA

power source

DAQ control PC







$$\chi^2 = \sum_{i=1}^N \frac{(y_i - f(x_i))^2}{\sigma_i^2}$$

$$\chi^2/\text{ndf} = \frac{\chi^2}{N - p}$$