2025 年度　修士論文

Belle II 実験アップグレード用 SOI ピクセルセンサー DuTiP の 性能評価

奈良女子大学大学院 人間文化総合科学研究科
博士前期課程 数物科学専攻
高エネルギー物理学研究室

学籍番号 24810076

尾﨑恵美

指導教員　宮林謙吉

2026 年 2 月 10 日

概 要

本論文では、SuperKEKB/Belle Ⅱ 実験の将来的な高ルミノシティ運転に向けた崩壊点検出器（VXD）アップグレードの候補として研究開発が進められている、SOI ピクセル検出器 DuTiP1（Dual Timer Pixel）の性能評価を行った。次世代 PXD 最内層では、極めて高いヒットレートおよび長いトリガーレイテンシへの対応が求められており、高い時間分解能・検出効率、および低物質量を両立する新たなピクセル検出器の開発が不可欠となっている。

DuTiP は SOI（Silicon on Insulator）技術を用いたモノリシック型ピクセル検出器であり、各ピクセルに 2 つのタイマーを備えることで、トリガーレイテンシ中に発生した複数ヒットを保持可能な構造を特徴としている。本研究では、この DuTiP コンセプトに基づき開発された DuTiP1 チップを用い、荷電粒子に対する検出効率および位置分解能の評価を行った。

2024 年 12 月に KEK AR テストビームラインにおいて 5 GeV 電子ビームを用いたテストビーム実験を実施した。解析の結果、DuTiP1 の位置分解能は 13.2 μm となり、PXD アップグレードで要求される 15 μm 以下の条件を満たすことを実証した。また、 Noisy pixel および Silent pixel を除外した有感領域 （全体の約 80 %）における検出効率は約 84 % であった。これは先行研究で報告されていた約 60 % から大きく改善しているものの、目標とされる 99 % には達していない。

この検出効率低下の要因を明らかにするため、赤外線レーザーを用いたピクセル内の位置依存性評価を行った。その結果、検出効率はピクセル内で一様ではなく、特に完全空乏化条件である 150 V のバイアス電圧を印加すると、ピクセル中心部に不感領域が形成されることを確認した。一方で、空乏層が限定的となる低バイアス条件では、ピクセル中心部の検出効率が回復する現象が観測された。

これらの結果から、完全空乏化時に生成される過剰な信号電荷が、低電力消費を実現するために独得の設計を採用したアンプへ流入した際の動作特性に起因して、本来高い電荷収集効率を持つピクセル中心部が一時的に不感化している可能性が高いと考えられる。

以上より、DuTiP1 は位置分解能の観点では PXD アップグレード要件を満たす十分な性能を有することを示した。一方、検出効率は約 84% に留まり、目標値の 99% には達しておらず、改善が今後の課題である。赤外線レーザー試験の結果から、この検出効率低下は完全空乏化時に生成される過剰電荷に起因する可能性が考えられる。したがって、センサーの薄化による荷電粒子通過時の信号電荷の適正化およびアンプの各所に与えるバイアス電圧の最適化により要求性能を満たし得ることを今後実証する必要がある。

目 次

第 1 章 Belle Ⅱ 実験 **6**

1.1 SuperKEKB 加速器 6

1.2 Belle Ⅱ 測定器 7

1.2.1 崩壊点検出器 (VXD) 8

1.2.2 中央飛跡検出器 (CDC) 9

1.2.3 粒子識別検出器 9

1.2.4 電磁カロリメーター (ECL) 11

1.2.5 ミュー粒子・中性 K 中間子検出器 (KLM) 11

1.2.6 トリガーとデータ収集システム (DAQ) 12

1.3 ビームバックグラウンド 13

1.4 Belle Ⅱ アップグレードに用いるピクセル検出器の性能 15

第 2 章 SOI ピクセル検出器 **18**

2.1 SOI 技術 18

2.2 SOI ピクセル検出器 19

2.2.1 センサー構造 19

2.2.2 SOI ピクセル検出器の特徴 19

第 3 章 DuTiP1 **21**

3.1 DuTiP 21

3.2 DuTiP1 の概要 21

3.3 DuTiP1 のチップ全体構造 22

3.4 DuTiP1 のピクセル回路 23

3.4.1 アナログ回路 23

3.4.2 デジタル回路 25

3.5 DAQ システム 25

3.5.1 DuTiP1 DAQ システムの概要 25

3.5.2 SEABAS2 (Soi EvAlution BoArd with Sitcp 2) 26

3.5.3 DuTiP1 サブボード 27

3.5.4 ファームウェア 27

3.6 本論文での DuTiP1 試験項目 30

第 4 章 KEK AR テストビームラインにおけるテストビーム実験 **32**

4.1 セットアップ 32

4.1.1 INTPIX4NA(INTegration-type PIXel detector generation 4 of New Age) . . . 34
4.1.2 TLU (USAGI3 ボード) . . . 35
4.2 事前測定 . . . 37
4.2.1 INTPIX4NA の同期試験 . . . 37
4.2.2 Trigger Latency 測定 . . . 39
4.3 トラッキング (飛跡再構成) . . . 40
4.3.1 ペデスタル評価 . . . 40
4.3.2 クラスタリング . . . 41
4.3.3 アライメント . . . 44
4.3.4 再構成した飛跡の位置分解能の評価 . . . 47
4.4 測定結果 . . . 48
4.4.1 DuTiP1 のアライメント . . . 49
4.4.2 位置分解能の評価 . . . 51
4.4.3 検出効率の算出方法 . . . 51
4.4.4 検出効率 . . . 52
4.4.5 検出効率についての考察 . . . 53
4.4.6 ノイズについての考察 . . . 55

第 5 章 赤外線レーザーによる検出効率の評価 57
5.1 赤外線レーザーによる測定原理 . . . 57
5.2 赤外線レーザーシステム . . . 58
5.3 レーザー測定の項目 . . . 59
5.3.1 表面照射と裏面照射の特徴 . . . 59
5.3.2 評価の手順 . . . 59
5.4 実験セットアップ . . . 60
5.5 表面照射によるデジタル回路の動作確認 . . . 60
5.6 1 mip キャリブレーション . . . 61
5.7 裏面照射による検出効率の位置依存性の評価 . . . 63
5.7.1 裏面照射の測定条件 . . . 63
5.7.2 検出効率の位置依存性 . . . 63
5.7.3 平均クラスタサイズの位置依存性 . . . 65
5.7.4 ピクセル内不感領域の評価 . . . 65
5.7.5 バイアス電圧依存性 . . . 68

第 6 章 レーザー試験とテストビーム実験の結果の比較 71

第 7 章 まとめ 72

付 録 A ALPIDE アンプ回路のパラメータ 74

図 目 次

1.1 SuperKEKB 加速器の概略図 [2] 6
1.2 ナノビームスキームの概念図 [3]。陽電子バンチと電子バンチの一部が重なり、その長さが d である。このバンチの一部の交差領域で十分なルミノシティを出すよう、ビームを絞り込んだ指標となるベータ関数 β_y^* を d と同程度まで小さくする。 7
1.3 Belle Ⅱ 測定器概要図。内部構造が分かるように一部を切り開いて描いたもの。 7
1.4 DEPFET の構造 [5] 8
1.5 DSSD の構造 [6] 9
1.6 TOP カウンターモジュール 1 個の概形 [8] 10
1.7 ARICH の識別原理 [9] 10
1.8 CsI(Tl) シンチレーション検出器の構造 11
1.9 ECL の断面図 [10] 11
1.10 Belle Ⅱ 実験における L1 トリガーシステムの概略図 [13] 12
1.11 データ収集システムの全体図 [14] 13
1.12 ルミノシティの目標値 [17] 16

2.1 Bulk-CMOS(左) と SOI-CMOS(右) の構造 18
2.2 SOI ピクセル検出器の基本構造 [20] 19

3.1 DuTiP1 の写真 21
3.2 DuTiP1 の回路図 (CAD) 21
3.3 チップの全体構成の概略図 23
3.4 ALPIDE アンプの回路図 24
3.5 デジタル回路のブロック図 25
3.6 DuTiP1 の DAQ システムの概略図 26
3.7 SEABAS2 27
3.8 サブボード 表面 28
3.9 サブボード 裏面 28
3.10 DuTiP1 ファームウェアのダイアグラム 28

4.1 ビームテストのセットアップの写真。画面奥 (右上) から手前 (左下) に向けて電子ビームが到来する。エネルギーは 3 GeV から 5 GeV の範囲で可変である。 33
4.2 ビームテストのセットアップの概略図 33

4.3 INTPIX4NA の IO-Path[24] 35
4.4 USAGI3 ボード 36
4.5 テレスコープ タイムチャート [24] 37
4.6 同期試験のセットアップ概略図 38
4.7 IP13 と IP15 のタイムスタンプの比較。IP13 に記録されている 34396 という値のタイムスタンプが IP15 では記録されていないことがわかる。 38
4.8 Trigger Latency 測定のセットアップ 39
4.9 Trigger Latency 測定結果 39
4.10 クラスタチャージ分布。単位は ADC カウント 42
4.11 クラスタサイズ分布 42
4.12 クラスタ数分布 43
4.13 INTPIX4NA のヒットマップ 44
4.14 テレスコープの座標系 44
4.15 IP15 の並進補正前後の残差分布 (左: 補正前 x 方向、 左図: 補正後 x 方向)。補正前は 26μm のずれがあったものが、補正後はゼロと無矛盾になっている。 46
4.16 IP15 の回転補正前後での再構成 Column 位置と Row 方向残差の相関。 赤線は一次関数によるフィッティング結果を示しており、補正後（右図）は補正前（左図）に比べて傾きが十分に小さくなっている。 46
4.17 各ピクセルのヒット数分布 48
4.18 1 イベントあたりのヒット数分布 48
4.19 ノイジーピクセルをマスクした後の各ピクセルのヒット数分布 49
4.20 ノイジーピクセルをマスクした後の 1 イベントあたりのヒット数の分布 . . 49
4.21 ヒット位置とトラック位置の相関 (左：Row 方向、 右：Column 方向) . . . 49
4.22 並進補正前の残差分布 (左：Row 方向、 右：Column 方向) 50
4.23 回転補正前後での再構成した Row 方向位置と Column 方向残差の相関 . . 50
4.24 残差分布（左：Row 方向，右：Column 方向） 51
4.25 各 Run における検出効率。赤点は 8 つの Run の平均値を示す。 53
4.26 合計 24 万トリガー分のヒットマップ (左) と、 外挿トラックマップ (右) . . 53
4.27 silent pixel を解析から除外した場合の各 Run における検出効率。赤点は 8 つの Run の平均値を示す。 54
4.28 ペデスタル σ 分布 55

5.1 シリコンの光吸収係数 α の波長依存性 [25] 57
5.2 実験に用いた赤外線レーザーシステムの構成 58
5.3 レーザー照射試験のセットアップ 60
5.4 表面照射のセットアップ写真 60
5.5 (RA, CA) = (20, 10) にレーザーを照射した時のヒットマップ 61
5.6 INTPIX4NA を用いたレーザー光量調整のセットアップ図 62
5.7 オシロスコープにより観測されたトリガー信号と積分タイミング。パルスレーザーが積分期間内に 1 回のみ入るよう調整されている。 62

5.8 フィルター設定値に対するクラスタチャージの応答曲線。赤線は 1 MIP 相当の基準値（350–370 ADC）を示す。 63
5.9 単一ピクセル $(RA, CA) = (10, 8)$ における検出効率の場所依存性。中央部に感度の低い領域が観測された。 64
5.10 3×3 ピクセルにおける検出効率マップ 64
5.11 レーザー照射位置に対するクラスタサイズマップ 65
5.12 サンプリング測定を実施した 9 箇所の領域 (RA, CA)。チップ全体を網羅するように格子状に配置した。 66
5.13 各サンプリング領域における単一ピクセル応答に基づく不感領域の割合。数値はピクセル面積に対する非検出領域のパーセンテージを示す。左図の赤点は 9 領域の平均値を示したものである。 66
5.14 各サンプリング領域におけるクラスタサイズ分布 67
5.15 各サンプリング領域におけるクラスタサイズ分布に基づく不感領域の割合。⑤の領域にはノイジーピクセルが含まれていたため除外した。 68
5.16 バイアス電圧に対する空乏層の厚みの見積り [22] 69
5.17 バイアス電圧ごとのクラスタサイズ分布 69

A.1 ALPIDE アンプ回路のパラメータを変化させた際の検出効率。Noisy および Silent Pixel は解析か除外している。パラメータ 1、3、4 では Li パラメータと同程度の検出効率が得られている一方、それ以外の設定では検出効率が著しく低下していることが確認できる。 75

第1章　Belle II 実験

Belle II 実験は、SuperKEKB 加速器と Belle II 測定器を用いる電子・陽電子衝突実験である。茨城県つくば市にある高エネルギー加速器研究機構 (KEK) で 1999 年から 2010 年までビーム衝突実験を行った Belle 実験を高度化した後継実験であり、2019 年 3 月より本格的なデータの取得を開始した。最終的に Belle 実験の 50 倍である 50 ab^{-1} の高統計データを収集し、CP 対称性の破れの精密測定や標準模型で強く抑制された過程を探索することにより、標準理論を超えた新物理の兆候を探ることを目的とする。

1.1　SuperKEKB 加速器

SuperKEKB 加速器 [1] は 7 GeV の電子と 4 GeV の陽電子を衝突させる電子・陽電子衝突型加速器である。衝突の重心系エネルギーは $\Upsilon(4S)$ 共鳴状態の生成に最適な 10.58 GeV に設定されている。$\Upsilon(4S)$ は 96% 以上の確率で $B\bar{B}$ 対に崩壊するため、B 中間子対を大量に生成することが可能である。SuperKEKB 加速器の概略図を図 1.1 に示す。

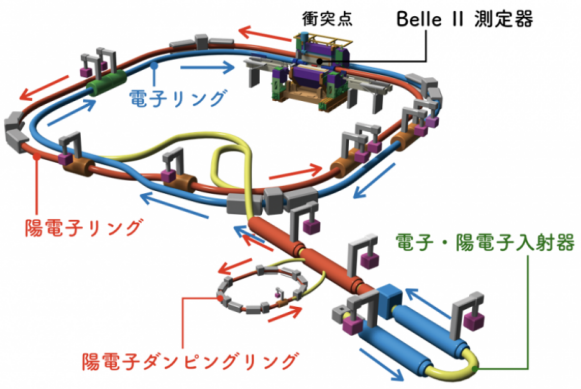


図 1.1: SuperKEKB 加速器の概略図 [2]

SuperKEKB 加速器は、周長約 3 km の電子リング（HER）と陽電子リング（LER）からなる電子・陽電子衝突型加速器であり、各リングにビームを供給する直線加速器および陽電子ダンピングリングによって構成されている。蓄積された電子・陽電子ビームは Belle II 検出器が設置された衝突点で衝突する。Belle および Belle II 実験で行うべき測定はいずれも該当する B 中間子の崩壊モードを選別する必要があり、一例として CP 対称性の破れの測定に重要な B 中間子の崩壊モードの崩壊分岐比は 10^{-5} から 10^{-6} と小さいため、大量の B 中間子・反 B 中間子の生成が必要となる。SuperKEKB は KEKB の 30

倍である $6 \times 10^{35}\,\mathrm{cm}^{-2}\mathrm{s}^{-1}$ のルミノシティを目指し、図 1.2 に示すようなナノビームスキームと呼ばれる衝突手法を採用している。KEKB では 22 mrad であったビーム交差角を SuperKEKB では 83 mrad まで大きくすることで、ビーム交差部の大きさを図 1.2 に示す長さ d となる領域に制限する。これにより、衝突点でのビーム光学的な絞り込み指標である垂直方向のベータ関数 β_y^* を d と同程度まで小さく絞り込むことが可能となり、バンチ交差あたりのルミノシティを KEKB より向上できる。

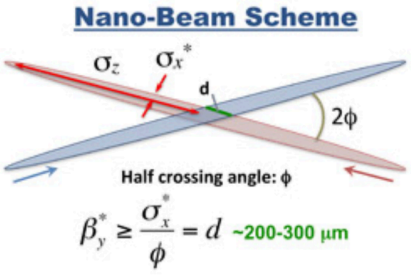


図 1.2: ナノビームスキームの概念図 [3]。陽電子バンチと電子バンチの一部が重なり、その長さが d である。このバンチの一部の交差領域で十分なルミノシティを出すよう、ビームを絞り込んだ指標となるベータ関数 β_y^* を d と同程度まで小さくする。

1.2 Belle II 測定器

Belle II 測定器 [4] は、衝突点を取り囲むように配置した 7 種類の検出器で構成される汎用測定器システムである。この章では各検出器の役割について述べる。

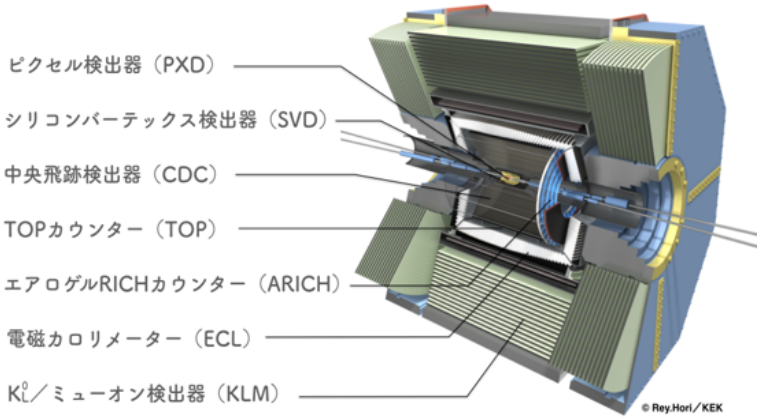


図 1.3: Belle II 測定器概要図。内部構造が分かるように一部を切り開いて描いたもの。

1.2.1 崩壊点検出器 (VXD)

崩壊点検出器（Vertex Detector: VXD）は、衝突点近傍のビームパイプを取り囲むようにセンサーを配置し、粒子の崩壊点位置を高精度に測定することを目的とした検出器である。VXD は、内側の 2 層のピクセル型検出器（Pixel Detector: PXD）と、その外側の 4 層のシリコンバーテックス検出器（Silicon Vertex Detector: SVD）の合計 6 層で構成されている。これら 6 層は、ビーム軸から半径およそ 15 cm 以内の領域をカバーする。

ピクセル型検出器 (PXD)

PXD は DEPFET (DEpleted P-channel Field Effect Transistor) センサーを用いた半導体検出器である。DEPFET の模式図を図 1.4 に示す。DEPFET センサーでは、シリコン基板上に pMOSFET が形成されており、裏面の p+ 電極にバイアス電圧を印加することでセンサー全体を完全空乏化する。荷電粒子が空乏層を通過する際に生成した電子・正孔対のうち、電子はトランジスタ直下に形成された internal gate に集められる。トランジスタをオンにすると、internal gate の蓄積電荷量に応じてドレイン電流が変化するため、これを信号として読み出すことができる。DEPFET センサーは内部増幅機構を有するため、センサー厚を 50 μm まで薄くしても十分な信号電荷を得ることが可能である。センサーの厚みを削減することにより、荷電粒子が通過する際の多重散乱を抑え、再構成する崩壊点の位置分解能の向上を果たすことができる。

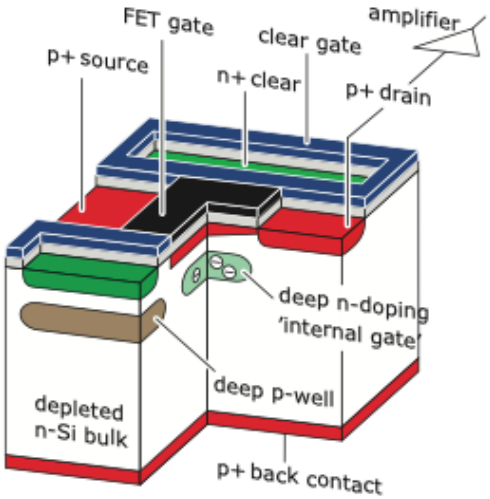


図 1.4: DEPFET の構造 [5]

シリコンバーテックス検出器 (SVD)

SVD は両面にストリップを持つ半導体検出器である DSSD (Double-sided Silicon Strip Detector) センサーを用いている。センサーの厚みは 300 μm である。DSSD の模式図を

図 1.5 に示す。n 型半導体のストリップと p 型半導体のストリップが直交に配置された構造となっており、これによって 1 枚のセンサーから荷電粒子の通過位置の 2 次元の情報を収集することができる。

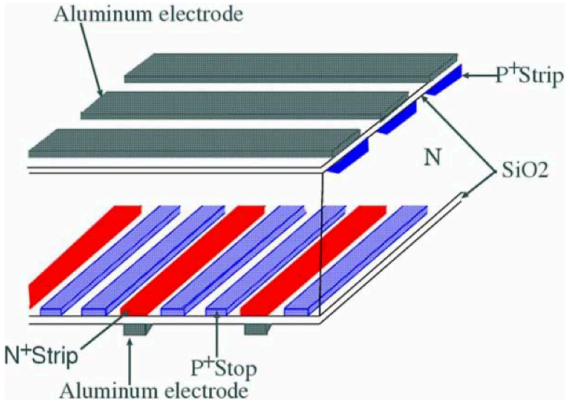


図 1.5: DSSD の構造 [6]

1.2.2 中央飛跡検出器 (CDC)

中央飛跡検出器である CDC (Central Drift Chamber) [7] は VXD の外側に配置された円筒型のドリフトチェンバーで、内径が約 32 cm、外径が約 226 cm、長さが約 260 cm である。CDC 内部はヘリウムとエタンを 1:1 で混合した大気圧のガスで満たし、直径 30 μm の金メッキタングステン製のセンスワイヤーが 14336 本、直径 220 μm のアルミニウム合金製のフィールドワイヤーが 43340 本、合計 56576 本の金属ワイヤーが張られたドリフトチェンバーである。センスワイヤーは z 軸に対し平行に張られているものと斜めに張られているものがあり、これによって荷電粒子の飛跡を 3 次元的に再構成することが可能となる。荷電粒子がチェンバー内を通過すると、充填されているガス分子が電離され、生成された電子はフィールドワイヤーによって形成された電場によりセンスワイヤーへドリフトする。センスワイヤー近傍では電子雪崩による信号増幅が起き、その電気信号を読み出す。CDC を通過中の荷電粒子は超電導ソレノイド電磁石が作る 1.5 T の磁場によるローレンツ力を受けており、その飛跡はらせん軌道になる。その曲率半径から運動量を求めることができる。得られた電気信号の大きさ、すなわちガスを通過中の荷電粒子のエネルギー損失 (dE/dx) を測定して運動量との関係から粒子の種類を識別することができる。

1.2.3 粒子識別検出器

粒子識別検出器はバレル部を覆う TOP カウンターと前方エンドキャップ部を覆う ARICH で構成される。いずれもチェレンコフ光を用いるものである。

TOP カウンター (TOP)　TOP カウンターは 2.7 m × 45 cm × 2 cm の表面を高い平滑度に仕上げた石英輻射体と光検出器 MCP-PMT で構成されており、Belle II 測定器の円筒部に 16 台設置されている。光速に近い荷電粒子が石英輻射体に入射するとチェレンコフ光を放出する。このチェレンコフ光は輻射体内部で全反射して端面の MCP-PMT に伝播する。チェレンコフ光は放射角度に依存して光路が変化し、伝播時間に差が生じるため、これを MCP-PMT で精密に測定し、時間情報からチェレンコフ光のリングイメージを再構成することにより荷電粒子の種類を識別する。1 光子を検出する際の時間分解能は 40 ps 以下である。

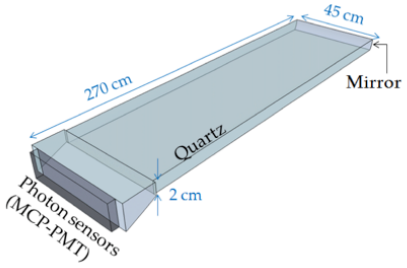


図 1.6: TOP カウンターモジュール 1 個の概形 [8]

エアロゲル RICH カウンター (ARICH)　ARICH は前方エンドキャップ部に配置された粒子識別装置であり、大きさは直径約 2 m、厚さ約 25 cm である。TOP カウンターと同様にチェレンコフ光を用いて粒子識別を行う検出器であり、輻射体であるシリカエアロゲルとチェレンコフ光が到達した位置を検出する HAPD 光検出器から構成されている。ARICH では、輻射体として屈折率 $n = 1.045$ および $n = 1.055$ の 2 種類のシリカエアロゲルを用いている。輻射体中の光の伝播する速さよりも高速の荷電粒子がエアロゲルを通過してチェレンコフ光が生じる際にその粒子の速さによりチェレンコフ光の放射角が異なるためエアロゲルから約 200 mm 先に設置された HAPD で検出するチェレンコフ光の到来位置の違いを生じ、リング像の半径の差を生むことにより粒子の識別を行っている。

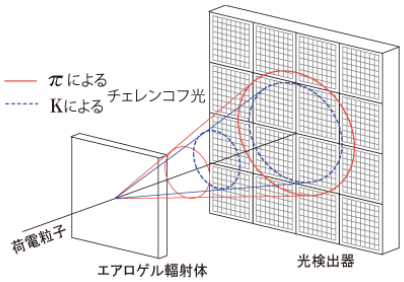


図 1.7: ARICH の識別原理 [9]

1.2.4　電磁カロリメーター (ECL)

電磁カロリメーターでは電子や γ 線のエネルギーを測定する。高エネルギーの電子や光子は物質に入射すると、制動放射と電子・陽電子対生成により電磁シャワーを形成する。このシャワーを形成させる物質として結晶シンチレーターを用いると、エネルギー損失に比例した量のシンチレーション光を発するため、この光を光検出器で読み出すことでエネルギー測定が可能になる。

Belle Ⅱ 測定器の電磁カロリメーター (ECL) は、CsI(Tl) シンチレーターを PIN フォトダイオードで読み出す構成である。図 1.8 に CsI(Tl) シンチ 1 本の構造、図 1.9 に ECL の断面図を示す。CsI(Tl) 結晶は長さ約 30cm、前面が約 5.5cm × 5.5cm の大きさであり、前方エンドキャップ部に 1152 本、バレル部に 6624 本、後方エンドキャップ部に 960 本の合計 8736 本が衝突点を囲うように配置されている。

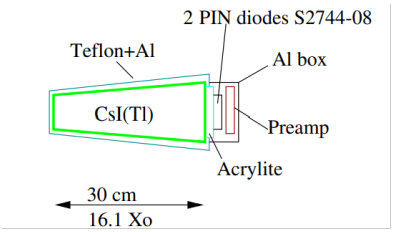


図 1.8: CsI(Tl) シンチレーション検出器の構造

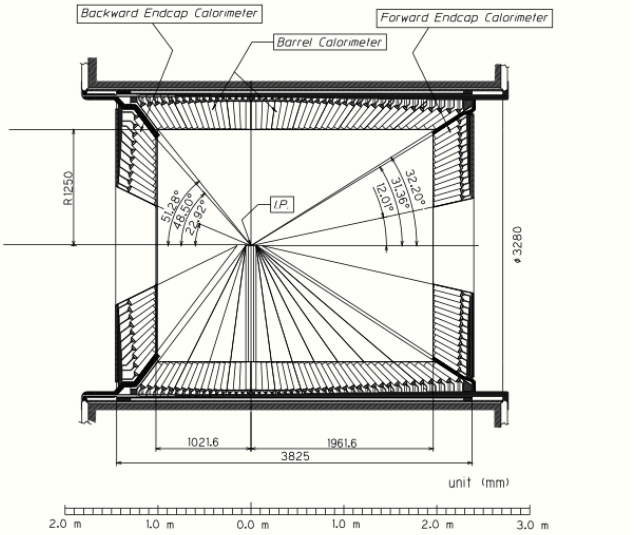


図 1.9: ECL の断面図 [10]

CsI(Tl) 結晶は MeV 当たり約 5 万光子に及ぶ豊富な発光量を持つため、ECL では数十 MeV から数 GeV の広い範囲のエネルギーの検出が可能である。一方で、CsI(Tl) は発光の減衰時間が約 1 μs と長いため、ビームバックグラウンドに起因するパイルアップが生じて雑音レベルの上昇をもたらし、エネルギー分解能を悪化させるため対処が必要である。

Belle Ⅱ 実験では、サンプリング周波数 1.76 MHz、18 bit の ADC を用いて波形データを取得し、それをフィットしてエネルギー損失とタイミングを再構成する。これにより、100 MeV 以上のエネルギー損失に対して約 10 ns の時間分解能が得られ、バックグラウンドヒットの除去とパイルアップ雑音の低減が可能となっている。

1.2.5　ミュー粒子・中性 K 中間子検出器 (KLM)

KLM は μ 粒子の同定と K_L^0 の検出を行う検出器であり、Belle Ⅱ 測定器の最外層のバレル部とエンドキャップ部に設置されている。超伝導ソレノイドが 1.5 T の磁場を生成し、

その磁束フラックスリターンの役割を果たす厚さ約 4.7 cm の鉄板を 14 層設置し、その間に設けた 4.4 cm の隙間に検出器を挟むような構造になっている。検出器はバックグラウンドが比較的低いバレル部の内側から 3 層目とその外側では Resistive Plate Counter(RPC) と呼ばれるガスチェンバーが使われ、その他の部位はプラスチックシンチレータをファイバーを介して半導体光電増倍素子である MPPC(Multi-Pixel Photon Counter) で読み出す構成である。鉄板を何層にもわたって貫く飛跡は μ 粒子と同定できる。一方で CDC で再構成された飛跡と一致せず、KLM 内にヒットのクラスターを形成しているものが K_L^0 候補となる。[11]

1.2.6 トリガーとデータ収集システム (DAQ)

Belle Ⅱ 実験では、Belle 実験の 30 倍以上の高いルミノシティでのデータ収集が行われる。そのため、衝突頻度の増加に伴い発生する膨大な事象の中から、物理的に意味のある事象のみを選択して読み出す高性能なトリガーシステムと、高速なデータ収集系（DAQ）が不可欠である。

Belle Ⅱ 実験におけるトリガーは、ハードウェアで実装した Level 1 （L1）トリガーと、その後段でソフトウェア処理を行う High Level Trigger（HLT）から構成されている。L1 トリガーは、ビーム交差から約 5 μs 以内という非常に短い時間内に事象の発生を判定し、検出器全体に対して読み出し信号を送る役割を担う唯一のハードウェアトリガーである [12]。

図 1.10 に L1 トリガーシステムの概略を示す。L1 トリガーは CDC、ECL、TOP、KLM の各サブ検出器から独立に生成されるサブトリガー情報を入力とし、Global Decision Logic（GDL）において論理的に統合・判断される。ここで事象発生が認識されると、L1 トリガー信号が発行され、検出器内に一時保持されていたデータを DAQ システムへと転送する。

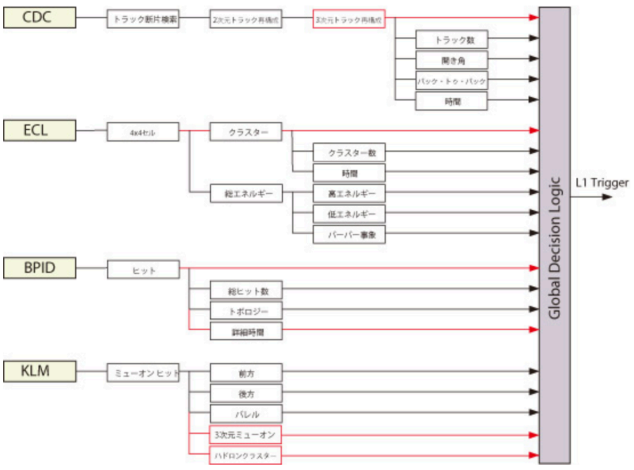


図 1.10: Belle Ⅱ 実験における L1 トリガーシステムの概略図 [13]

L1 トリガーにおいては、平均トリガーレートを 30 kHz 以下に抑えつつ、$\Upsilon(4S)$ 崩壊事象に対してほぼ 100% のトリガー効率を維持することが要求されている。また、トリガー

遅延は約 5 μs に制限されており、この時間内にすべての判定を完了する必要がある。この制約は、検出器フロントエンドにおけるデータ保持時間（トリガーレイテンシ）を直接決定する重要な要因となる。

表 1.2.6 に、データ収集システムに課せられる要求性能を示す。

表 1.1: Belle II データ収集システムの要求性能

最大トリガーレート	30 kHz
最大イベントサイズ	1 MB
最大 L1 データフロー	30 GB/sec
ピクセルデータサイズリダクション	1/10
HLT レートリダクション	1/3 – 1/6
最大データ記録レート	1.8 GB/sec

データ収集システムのうち、PXD 以外の検出器サブシステムでは、デジタル化された信号は共通の Belle2link と呼ばれる高速光データ転送システムを用いて共通読み出しモジュール COPPER に送られる。一方、 PXD のデータ量は他の検出器と比べて圧倒的に大きく、COPPER を使用して読み出すことが難しく、HLT で再構成された粒子の飛跡を PXD センサーの表面まで外挿して信号が発生する領域を予測し、その部分だけのデータを後段に送ることでデータ量の削減を図る。 そのデータは他の検出器の生データ及び HLT の処理結果と第 2 段イベントビルダーで結合され，高速 RAID システムに記録する。なお、 COPPER は開発後 10 年以上が経過し、保守用電子部品の入手が困難になることが予見されたため、 2022 年から 2023 年にかけて設定した長期シャットダウン期間に PCIe40 なる規格のボードに交換した。

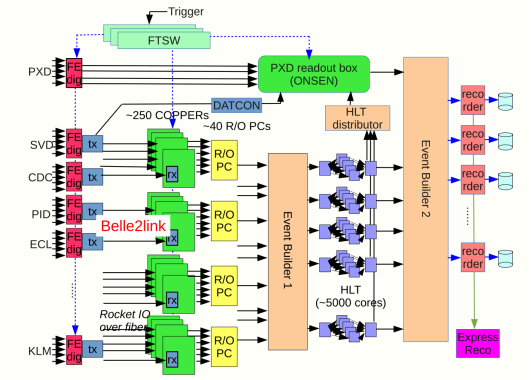


図 1.11: データ収集システムの全体図 [14]

1.3 ビームバックグラウンド

加速器のビーム中の粒子は、すべてが同じ軌道を通るわけではなく、中心軌道の周辺を振動しながら様々な軌道を通っている。進行方向と垂直な向きの振動をベータトロン振動、

進行方向の振動をシンクロトロン振動と呼ぶ。何らかの要因によって中心軌道からのずれが大きくなり、安定に周回できなくなったビーム粒子はやがてビームパイプに衝突して失われ、その際に電磁シャワーに起因する二次粒子を生成する。これらが検出器に到達するとビームバックグラウンドとなり、検出器の検出効率を悪化させたり、長期的には放射線損傷によるダメージを与える。特にビームパイプに最も近い位置に配置される崩壊点検出器への影響は大きい。

SuperKEKB 加速器からのビームバックグラウンドには、入射直後のビームロスに起因するものに加え、ビーム衝突由来のもの (Radiation Bhabha 散乱、二光子過程) と、ビーム周回中に発生するもの (タウシェック散乱、ビームガス散乱、シンクロトロン放射) がある。以下ではこれらの各々について簡潔に述べる。[15][16]

タウシェック散乱

加速器のビームは、バンチという電子または陽電子の集まりの列でできている。タウシェック散乱とは同一バンチ内に存在するビーム粒子同士の散乱のことである。リング加速器を安定して周回できるビーム粒子の運動量と軌道のずれの範囲を力学口径と呼び、このバンチ内散乱によって、力学口径を外れた粒子はビームバックグラウンドとなる。タウシェック散乱によるバックグラウンド発生頻度 R は、鉛直方向のビームサイズを σ_y、バンチ電流を I 、バンチ数 N とすると、

$$R \propto \frac{N \times I^2}{\sigma_y} \tag{1.1}$$

と表される。この式が示すように、ビームサイズが小さく、電流が大きいほどタウシェック散乱によるバックグラウンドが増加する。

SuperKEKB ではルミノシティ向上のためにビームサイズを絞り、かつ高電流での運転を行うため、タウシェック散乱由来のビームバックグラウンドは KEKB の場合よりも増加する。タウシェック散乱を含め、力学口径を外れたビーム粒子を制止するため、リング上の要所に可動式コリメータを設置している。

ビームガス散乱

ビームガス散乱は、真空中に残留するガス分子とビーム粒子との相互作用によって生じる制動放射およびクーロン散乱である。この相互作用により粒子の運動量が変化して力学口径を外れ、バックグラウンド放射線を生じる。ビームガスバックグラウンドの生成率は、ビーム電流および残留ガスの密度に比例する。

シンクロトロン放射

ビームが磁場によって曲げられる際に発生する電磁波をシンクロトロン放射光という。シンクロトロン放射率は、磁場およびビームエネルギーの二乗に比例するため、特に HER において顕著となる。検出器に放射光由来のバックグラウンドが入射するかどうかは、衝

突点付近の超伝導電磁石の配置と密接な関係がある。KEKB 加速器では最終収束電磁石 (QCS) を HER と LER で共有していたため、衝突点通過後のビームが四極電磁石の中心から離れた位置を通ることで強く曲げられ、 発生するシンクロトロン光が後方散乱して検出器へ入射するバックグラウンドを生む要因となっていた。SuperKEKB では各リングの QCS を独立して配置しており、放射光由来のバックグラウンドの低減を図った設計としている。

Radiative Bhabha 散乱

Radiative Bhabha 散乱 ($e^+e^- \to e^+e^-\gamma$) において、光子を放出してエネルギーを失った電子または陽電子は、衝突点通過後に QCS の磁場により軌道をそれて曲がり、ビームパイプ内壁に衝突、つまり物理的口径から外れてバックグラウンドを生む。電子または陽電子から光子を放出する際は前方に断面積が大きくなるシンギュラリティがあり、ビームパイプ中には遮蔽を置けないため、結果的に大きな寄与がある。このバックグラウンドは物理的な散乱過程に起因するためルミノシティに比例して増加する。電磁シャワー中では、γ と原子核の相互作用による 巨大双極子共鳴が起きて中性子が生成される。この中性子は加速器トンネル内の放射線レベルを上昇させるとともに、KLM や ECL といった外側に配置された検出器にとってのバックグラウンドとなる。

二光子過程

二光子過程とは、電子と陽電子の両方から、同時に放出された仮想光子同士が相互作用することにより粒子生成が起こる過程である。生成する粒子としてはハドロンもあるが、$e^+e^- \to e^+e^-e^+e^-$ のような QED 過程が大きな断面積を持つ。生成される電子・陽電子対はエネルギーが低いため、超伝導ソレノイド磁場によってらせん状に曲げられ VXD や CDC にヒットすることで飛跡検出器におけるバックグラウンドとなる。

二光子過程によるバックグラウンドは物理的な衝突過程に由来するため、ルミノシティに比例して増加する。このため、Radiative Bhabha 散乱と同様に、ルミノシティ起源バックグラウンドの一つである。

1.4 Belle II アップグレードに用いるピクセル検出器の性能

SuperKEKB/Belle II 実験では、現状よりもルミノシティを向上するための改良が計画されており、最終的に瞬間ルミノシティ $6 \times 10^{35}\,\mathrm{cm^{-2}s^{-1}}$ を目標としている。この高輝度化に対応するため、2032〜2033 年頃には加速器および検出器の大規模改良を目的とした 2 回目の長期運転停止期間（LS2）が予定されている。図 1.12 は将来のルミノシティ目標値の推移を示したものである。

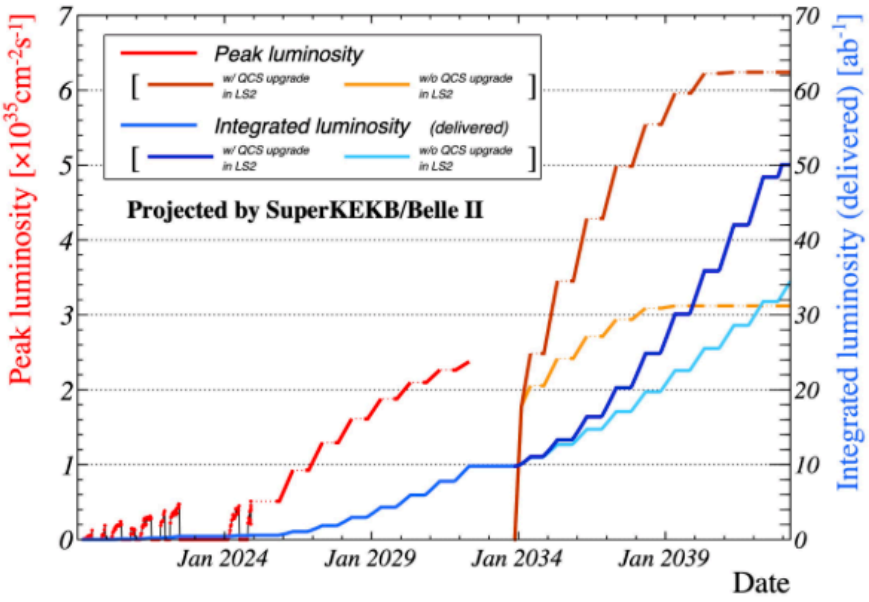


図 1.12: ルミノシティの目標値 [17]

最内層に位置するピクセル検出器（PXD）は、ビーム起因のバックグラウンドの影響を特に強く受けやすい検出器である。アップグレード後の運転条件下では、最内層におけるヒットレートは最大で 120 MHz/cm^2 程度に達すると見積もられている [18]。このような高バックグラウンド環境下でも、崩壊点および飛跡の再構成性能を維持するために、次世代 PXD には以下の性能が要求される。[18]

- 位置分解能：15 μm 以下
- 物質量：内層で約 0.2 % X_0 以下，外層で約 0.7 % X_0 以下
- 時間分解能：100 ns 以下
- L1 トリガーに同期した読み出し方式
- トリガーレイテンシに対応可能な信号保持機能

Belle II における L1 トリガーのレイテンシは約 4.5 μs であり、この間に検出されたヒット情報は検出器内部に保持される必要がある。さらに、高バックグラウンド環境下では、同一ピクセル内でトリガーレイテンシ中に複数回ヒットが発生する可能性があるため、複数ヒットを保持できることが求められる。

これらの要件を満たすため、ピクセル内に 2 つのタイマー回路を備えた DuTiP（Dual Timer Pixel）コンセプトが考案された。DuTiP は各ピクセルに複雑な回路を集積できる SOI（Silicon on Insulator）技術を用いたモノリシック型ピクセル検出器として実装されている。各ピクセルは、プリアンプ・シェーパー・ディスクリミネーターからなるアナログ回路と、2 系統のデジタルタイマーおよびシーケンサー回路を備えており、L1 トリガーのレイテンシ時間内に発生した複数のヒット信号を独立に記録できる構造を持つ。 また、L1

トリガーに基づくグローバルシャッター型読み出し方式を採用することで、占有率の低減、データサイズの削減、データ転送レートの抑制を同時に実現することを目指している。この読み出し方式では、現在の DEPFET で用いられている ROI（Region of Interest）選択によるデータ削減を必要としないため、低運動量トラック由来のヒット情報欠損を防げるという利点がある。したがって DuTiP は、次世代の Belle Ⅱ 実験における高バックグラウンド耐性と荷電粒子通過を高位置分解能で検出する性能を両立する特徴を備えている。本研究では、この DuTiP コンセプトに基づいて開発された試作チップを対象とし、その基本動作および荷電粒子の検出効率を実測により評価した。

第2章　SOI ピクセル検出器

2.1　SOI 技術

Silicon-On-Insulator (SOI) は、シリコン酸化膜 (SiO_2) 上に MOSFET を形成する半導体回路製造技術である. 従来のバルクシリコン基板上に形成される CMOS 回路では、p(n) 型基板中に n(p)-Well 領域を形成し、その上に nMOSFET および pMOSFET を配置する。p 型バルク基板を用いた Bulk-CMOS 構造を図 2.1 に示す。このような Bulk-CMOS 回路では、pnpn 構造による寄生サイリスタが形成されるため、ラッチアップによる故障やリーク電流の増加、回路の動作速度の低下などの問題が発生する。一方、SOI-CMOS 回路では、シリコンウェハー内部に埋め込まれた酸化膜による絶縁層（BOX: Buried Oxide）の上に MOSFET を形成する構造を採用している。この構造により、各トランジスタは電気的に分離され、Bulk-CMOS 構造が持つ問題を克服することが期待できる。

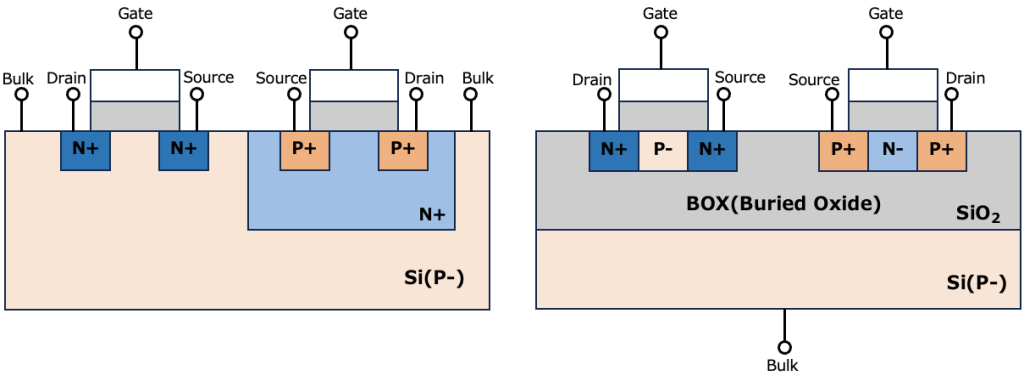


図 2.1: Bulk-CMOS(左) と SOI-CMOS(右) の構造

SOI 検出器は、部分空乏型 SOI (PD-SOI) と完全空乏型 SOI (FD-SOI) の 2 種類に分けられる。PD-SOI では、ゲート直下のシリコン層 (ボディ領域) の一部に空乏化していない中性領域が存在する。この中性領域は電気的に浮遊状態となり、トランジスタ特性の変動を引き起こす基板浮遊効果が生じる。一方、FD-SOI ではボディ領域のシリコン層を薄くすることで全体が完全空乏化され、基板浮遊効果の問題を取り除くことができる。しかしながら、FD-SOI にはソース・ドレイン間の耐圧の低さや加工の難しさといった課題が存在する。

2.2 SOI ピクセル検出器

2005 年より KEK の測定器開発室のプロジェクトとして、SOI ウェハーを用いたセンサー・回路一体型のピクセル検出器 (SOIPIX) の共同開発が開始された。SOI グループは Lapis Semiconductor 社 [19] と協力し，全世界のアカデミア向けに Multi Project Wafer(MPW) run を年に二回程度の頻度で提供している。この SOI 技術を用いたピクセル検出器は素粒子実験のみならず、X 線天文学や医療用カメラなど、幅広い分野に利用されている。

2.2.1 センサー構造

SOI ピクセル検出器の基本構造を図 2.2 に示す。SOI ピクセル検出器は、高抵抗のシリコン支持基板をセンサー層とし、その上部に埋め込み酸化膜 (BOX) 層を介して CMOS 回路層を形成したモノリシック構造を持つ。センサー層は裏面側から高電圧を印加することで空乏化される。荷電粒子の通過により生成されたキャリアは、上部に配置されたセンスノードへと収集される。各 MOSFET は BOX 層によって電気的に分離されているが、BOX 層を貫通するタングステン金属ビアによって局所的に接続されている。これにより、センスノードに収集された電荷は、この金属ビアを介してセンサー層から回路層へと伝達され、ピクセル内回路で信号処理が行われた後に外部へと読み出される。SOI センサーの開発には Lapis Semiconductor 社の 0.2 μm FD-SOI プロセスを使用している。

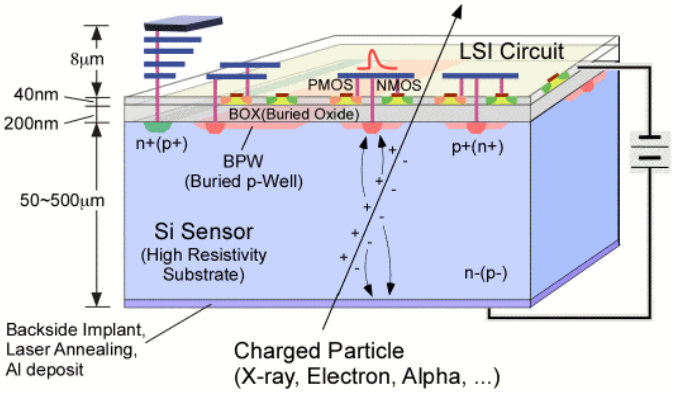


図 2.2: SOI ピクセル検出器の基本構造 [20]

2.2.2 SOI ピクセル検出器の特徴

SOI ピクセル検出器の主な特徴を以下に述べる。

モノリシック

従来のハイブリッド型ピクセル検出器では、回路層とセンサー層を金属バンプ（バンプボンディング）によって接続している。この構造では、ピクセルサイズが金属バンプの大

きさによって制限されるため、これがセンサーの位置分解能を向上させる上での制限となる。また、金属バンプは物質量が大きく、通過する荷電粒子が多重散乱を起こしやすい。さらにバンプボンディングで接続する工程とその歩留まりがコストを下げる上で障壁になる。

一方、SOI ピクセル検出器はセンサー層と回路層が埋め込み酸化膜によって電気的に分離され、金属ビアを介して接続されるモノリシック構造であり、バンプボンディングの工程が存在しない。酸化膜の厚さは 200 nm と極めて薄いため物質量を大幅に低減できる上、ピクセルサイズの自由度が高く、小さくすることも可能であるため、高位置分解能で多重散乱を起こしにくい検出器を実現できる。

センスノードの寄生容量

各 MOSFET が酸化膜により電気的に分離されているため、従来の Bulk-CMOS 構造で見られた pnpn 接合由来の寄生容量を大幅に削減できる。これによって、高 S/N 比、信号処理の高速化が実現できる。

回路の高密度化

Bulk-CMOS 構造には MOSFET を分離するために、p(n)-Well が形成されている。SOI-CMOS 構造では酸化膜が絶縁体として素子間を分離するため、p(n)-Well 構造は不要となり、MOSFET のアクティブ領域を結合するような構造を形成することができる。これによりピクセルを小型化して回路を高密度に実装できる。

第3章　DuTiP1

3.1　DuTiP

DuTiP (Dual Timer Pixel) は Belle Ⅱ 実験の崩壊点検出器のアップグレードを目的として開発が進められている SOI ピクセル検出器である。SuperKEKB 加速器の高ルミノシティ化に伴う高バックグラウンド環境下においても、高効率なヒット検出を実現することを目的として設計されている。これまでに DuTiP は 3 種類のバージョンが開発されており、本研究ではその中で最初に開発された DuTiP1 を用いた。

3.2　DuTiP1 の概要

DuTiP1 の設計は 2019 年に始まり、2020 年 11 月に SOI MPW に提出された。DuTiP1 は、45 μm × 45 μm のピクセルを 64 × 64 配列した構成を持ち、各ピクセルには DuTiP コンセプトに基づく基本的な機能がすべて実装されている。本チップは、ピクセル回路の基本性能評価を主目的とした初期プロトタイプとして開発された。

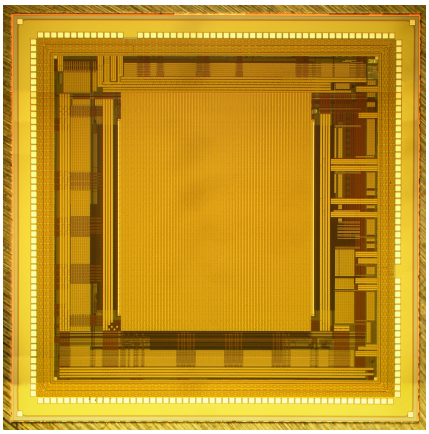


図 3.1: DuTiP1 の写真

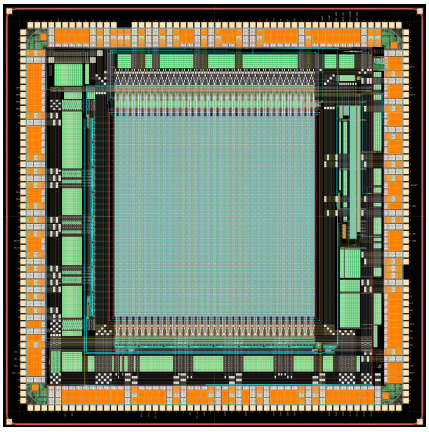


図 3.2: DuTiP1 の回路図 (CAD)

表 4.1 に DuTiP1 の主なパラメータを示す。DuTiP1 のチップサイズは 6.0 mm×6.0 mm であり、有感領域は 2.9 mm × 2.9 mm である。ピクセルアレイの周囲には、各ピクセルの信号を選択して読み出すための周辺回路が配置されている。

表 3.1: DuTiP1 のパラメータ。2020 年の MPW ランによる製造では厚みを 310 μm としているが、最終版の DuTiP では 60 μm まで薄くする計画である。

パラメータ	値
Wafer	Single-SOI P-type
センサー厚	310 μm
Wafer の抵抗率	FZP 5.87–7.93 kΩ·cm
チップサイズ	6.0 mm × 6.0 mm
有感領域	2.9 mm × 2.9 mm
ピクセルアレイ	64 × 64
ピクセルサイズ	45 μm × 45 μm
センサー	PDD
ピクセル関数	ALPIDE 型アンプ 7 bit カウンター ×2 トリガーメモリ ×2 previous、current タイミング ×2
消費電力	18 mW/cm^2

3.3 DuTiP1 のチップ全体構造

DuTiP1 は、64 × 64 ピクセルからなるピクセルアレイを持つ。ピクセルアレイの周囲には、信号の読み出しを行うための周辺回路に加え、評価試験のためにテスト信号を送り、応答をモニターする回路が実装されている。図 3.3 に DuTiP1 のチップ全体構成の概略図を示す。

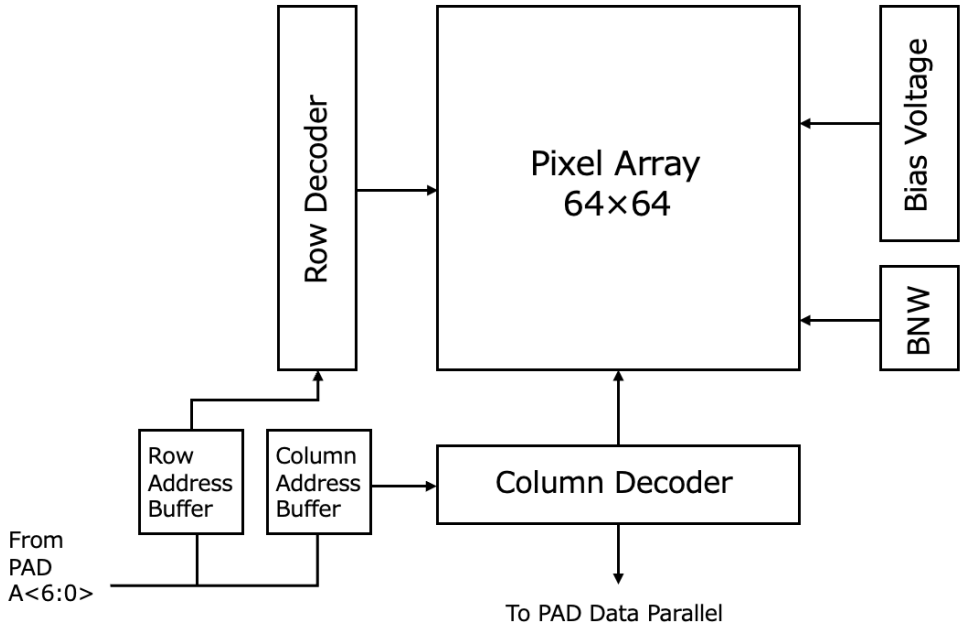


図 3.3: チップの全体構成の概略図

周辺回路には、ピクセルの読み出し制御を行う column デコーダおよび row デコーダが実装されている。評価ボードなどの外部機器から入力される制御信号は I/O 回路で受信された後、バッファ回路を介してチップ内部に伝送される。その後、column および row デコーダによって指定されたピクセルが選択され、該当するピクセルの信号が読み出される。column および row デコーダは、ファームウェアから与えられるアドレス情報をデコードすることでピクセルの選択および読み出し制御を行う。ピクセル内にヒット情報が保持されている場合、その信号は I/O 回路へ転送され、チップ外部へ読み出せる。デコーダを制御するファームウェアの詳細については、3.5.4 で述べる。

3.4 DuTiP1 のピクセル回路

3.4.1 アナログ回路

図 3.4 に ALPIDE アンプの回路図を示す。荷電粒子がセンサー層を通過すると、電子・正孔対が生成される。生成された粒子は、センスノード（図中の N_SENSE）に負の電圧パルスを誘起し、その信号はピクセル回路によって処理される。電荷信号を増幅するため、各ピクセルにはアンプが実装されている。このアンプは ALICE ITS アップグレード用に開発された ALPIDE チップのアンプをベースとし、SOI プロセス向けに改変したものを採用している。FET の動作点を独得のところに設定することにより、消費電力の低減を図った設計となっている。

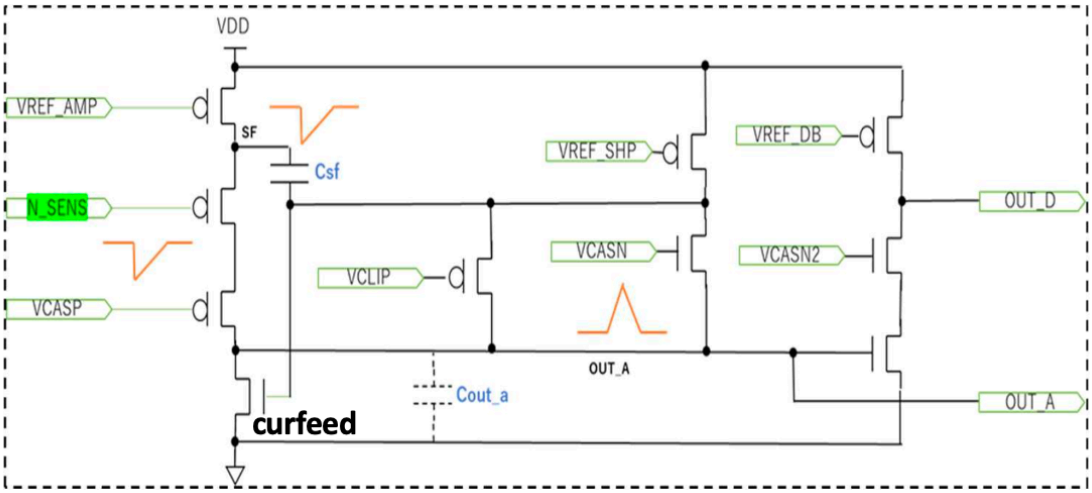


図 3.4: ALPIDE アンプの回路図

センスノードは、入力段となる N_SENSE トランジスタのゲートに接続されている。収集された電荷信号により、N_SENSE には負の電圧パルスが入力される。N_SENSE は、VDD から供給される電流源 VREF_AMP とともにソースフォロワとして動作し、ソース電圧が N_SENSE のゲート電圧に追従するように動作する。出力電圧 $V_{\mathrm{OUT\_A}}$ は、

$$\Delta V_{\mathrm{OUT\_A}} \approx \frac{Q_{\mathrm{SF}}}{C_{\mathrm{OUT\_A}}} \tag{3.1}$$

$$= \frac{C_{\mathrm{SF}} V_{\mathrm{in}}}{C_{\mathrm{OUT\_A}}} \tag{3.2}$$

$$= -\frac{C_{\mathrm{SF}}}{C_{\mathrm{OUT\_A}}} V_{\mathrm{in}} \tag{3.3}$$

$$= -\frac{C_{\mathrm{SF}}}{C_{\mathrm{OUT\_A}}} \frac{Q_{\mathrm{in}}}{C_{\mathrm{in}}} \tag{3.4}$$

となる。この式より、$C_{\mathrm{SF}} >> C_{\mathrm{OUT\_A}}$ で、大きな電圧ゲインが得られる。

負の入力信号はソースフォロワによって増幅・整形され、正の電圧パルスが生成される（図 3.4 OUT_A 参照）。OUT_A 信号は後段のコンパレータにおいて電荷しきい値によって判別され、デジタル出力 OUT_B が生成される。OUT_B がアンプの最終的な出力信号である。

OUT_A の波高はクリッピングポイントによって決まり、これは VCLIP のゲート電圧に依存する。OUT_A がクリッピングポイントに達すると、VCASN と OUT_A の電位差がほぼゼロとなり、コンダクタンスが急激に低下する。これにより、電流源 VREF_SHP によって電荷の充放電経路が切り替わり、curfeed の充電が開始される。これにより、OUTA 電圧はクリッピングポイント到達後に減少を始め、最終的にベースラインへと戻る。この機構により、過大な入力信号に対してもパルス幅の増大を抑制し、高い計数率特性を維持している。アナログ部の出力段にはディスクリミネーターを配し、その出力がデジタル部への入力となる。

3.4.2 デジタル回路

アナログ回路部からデジタル回路部のブロック図を図 3.5 に示す。

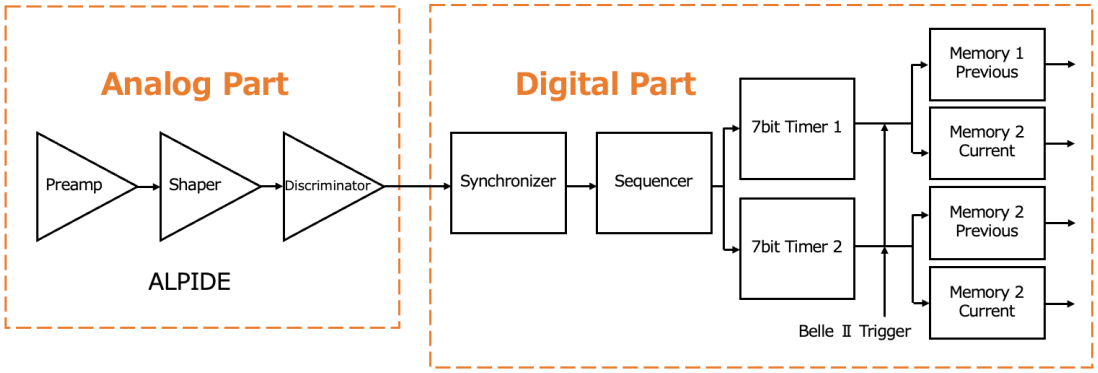


図 3.5: デジタル回路のブロック図

荷電粒子が通過したピクセルの信号はアンプで増幅された後、閾値を越える大きさのパルスであればディスクリミネーターが ON になり、その情報がピクセルのデジタル部へ伝送される。デジタル部が受けたディスクリミネーター出力信号は、まずシンクロナイザーでシステムクロックに同期した 1 クロック幅のパルスへと整形され、続くシーケンサへと送られる。

シーケンサーは 2 つのタイマーを制御し、入力されたヒット信号がトリガーレイテンシ内における第 1 ヒットか第 2 ヒットかを判別する。DuTiP は 2 つのタイマー（Timer1 、Timer2）を内蔵しており、いずれのタイマーも動作していない場合には Timer1 が起動され、すでに Timer1 が動作中である場合には Timer2 が起動される。この機構により、トリガーレイテンシ内において最大 2 つのヒット信号を処理することが可能である。

各タイマーには、7 ビットの LFSR（Linear Feedback Shift Register）型カウンタが用いられている。カウント動作中、ヒット信号は外部トリガー信号との一致判定のために保持される。カウンタの最終ビットとトリガー信号が同一クロック内で一致した場合は Previous 、 1 クロック遅れた場合には Current タイミングとして判定される。

ヒット情報は、Previous メモリおよび Current メモリに格納される。最終段のメモリ構成は、Memory1 Previous/Current および Memory2 Previous/Current の計 4 つから成る。この二重タイマーおよびメモリ構成を採用することで、高レート環境下においても時間的に近接した 2 つのトリガー信号が供給された場合にも、その両方に対応するヒット情報を取り扱い、取りこぼしを抑制する設計となっている。

3.5 DAQ システム

3.5.1 DuTiP1 DAQ システムの概要

DuTiP1 のデータ収集（DAQ）システムは、DuTiP1 チップ、サブボード、SEABAS2、およびデータ収集用 PC から構成される。図 3.6 に DuTiP1 DAQ システムの構成を示す。

DuTiP1 チップは嵌合するソケットを積むサブボードに装着し、それを汎用読み出しボードである SEABAS2 に接続する。サブボードは、DuTiP1 への電源供給、ALPIDE アンプに与えるバイアス電圧の制御を行うとともにセンサーのバイアス電圧を該当する端子に接続された電源から供給する。DuTiP1 から出力されたピクセルヒット信号を SEABAS2 上の FPGA が受信すると、読み出し処理を行った後、Ethernet を介してデータ収集用 PC に送り出す。本研究では外部トリガーを用いた評価試験を行うため、DAQ システム全体は SEABAS2 ボードが受信するトリガー信号を基準として動作する構成となっている。

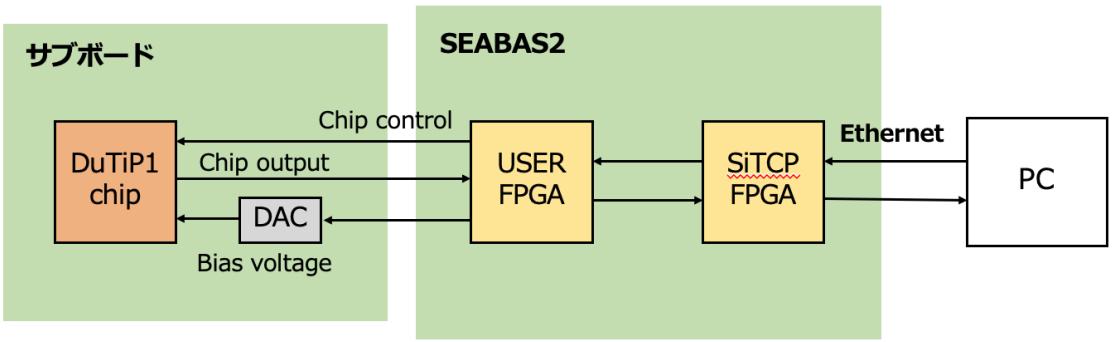


図 3.6: DuTiP1 の DAQ システムの概略図

3.5.2 SEABAS2 (Soi EvAlution BoArd with Sitcp 2)

SEABAS2 は、KEK の測定器開発室で開発された SOI ピクセル検出器向けのデータ読み出し汎用基板である。SEABAS2 には、 2 つの FPGA が搭載されており、 Xilinx 社製 virtex-4 および virtex-5 が用いられている。前者は SiTCP を駆動し、Ethernet を介して PC とのデータ通信を担う。後者は User FPGA で、ピクセルからのデジタル信号を受信してフォーマットする。User FPGA によって処理されたピクセルヒットデータは SiTCP FPGA に転送され、Ethernet ケーブルを通じて外部 PC へ送信される。

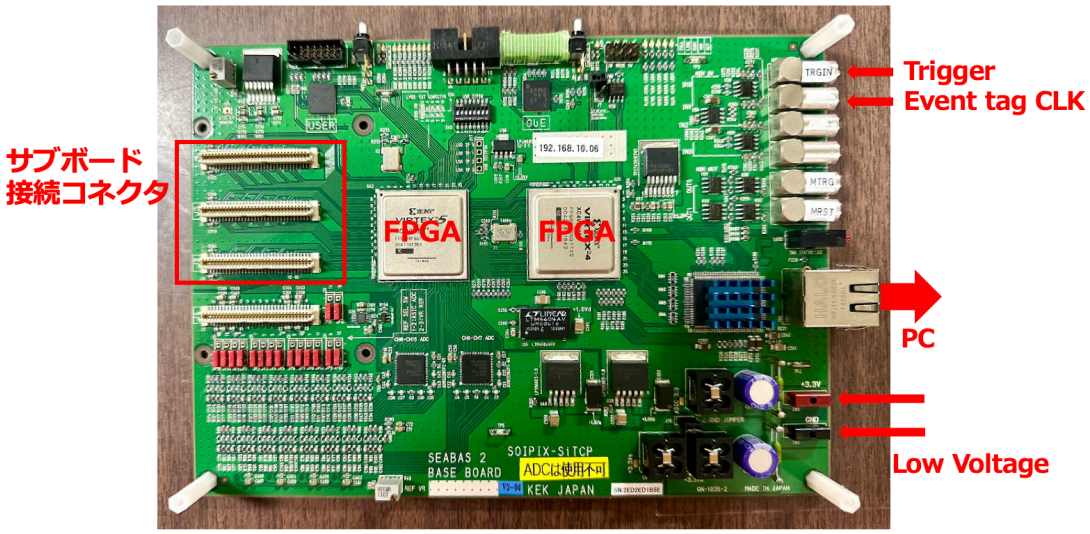


図 3.7: SEABAS2

3.5.3 DuTiP1 サブボード

サブボードは、DuTiP1 を SEABAS2 に接続するために用いられる読み出し基板である。図 3.8 および図 3.9 に、DuTiP1 用に設計されたサブボードを示す。

サブボードの主な機能は以下の通りである。

- DuTiP1 チップの端子と SEABAS2 の端子を、該当するコネクタを介して接続する
- SEABAS2 から供給される 3.3 V の電源電圧を、 DuTiP1 のデジタル回路で使用される 1.8 V に変換してチップへ供給する
- DuTiP1 のアンプおよびセンサー部に必要な各種バイアス電圧および電流を調整する
- センサーの空乏層厚を制御するセンサーバイアス電圧を、0〜200 V の範囲で印加することが可能である

3.5.4 ファームウェア

DuTiP1 の UserFPGA 上で動作するファームウェア (FW) の構成を図 3.10 に示す。DuTiP1 の FW は Verilog 言語で記述されており、SEABAS2_DUTIP.v をトップモジュールとする複数のサブモジュールから構成されている。SEABAS2 上の User FPGA にダウンロードした FW が、DuTiP1 チップの制御およびデータ読み出しを担う。

DuTiP1 向けの FW には、主に DIGITAL_TEST.v と ROLLINGSHUTTER_RACA.v の 2 つのモジュールが含まれている。前者はトリガー信号の生成やイベント管理を行い、後者はピクセルアレイの読み出し制御を行う。その他の基本的な制御モジュールは、SOI グループにおいてこれまでに開発された FW を基に構成されている。

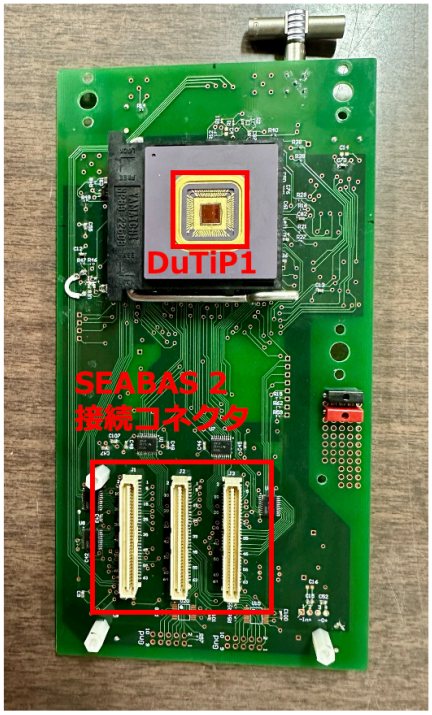


図 3.8: サブボード 表面

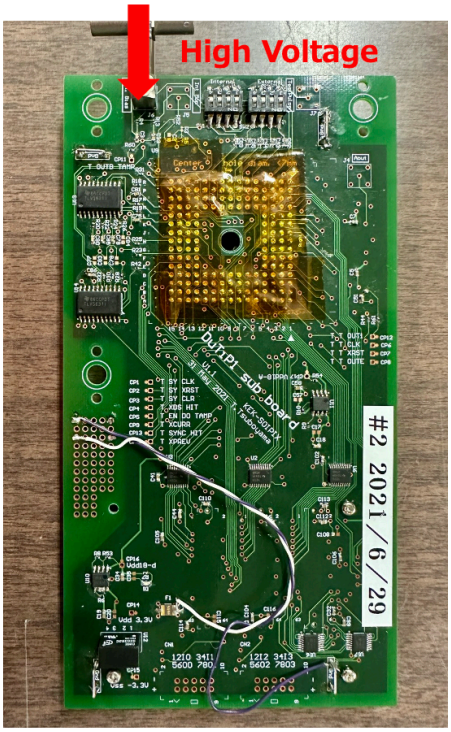


図 3.9: サブボード 裏面

FW 内のすべてのモジュールは共通クロックで駆動されており、本研究では 150 MHz クロックを 8 分周した 18.75 MHz のクロックを使用している。

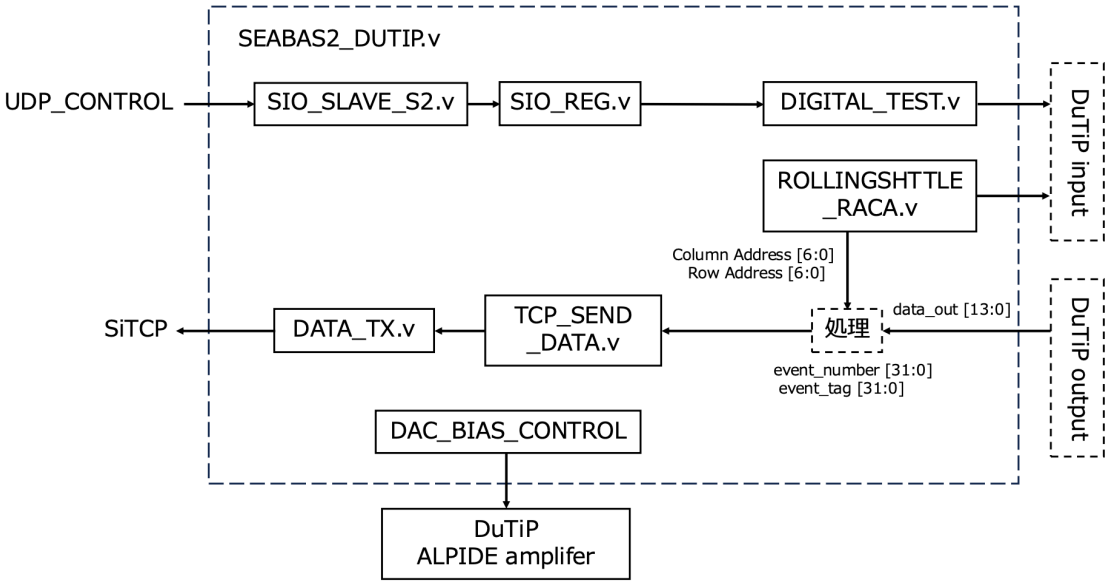


図 3.10: DuTiP1 ファームウェアのダイアグラム

イベント処理の流れ

FPGA はトリガー信号を受信すると、該当イベントの処理を開始する。トリガー受信後は、18.75 MHz クロックを基準として内部カウンタを進め、イベント処理のタイミング制御を行う。

トリガー受信直後には DIGITAL_TEST.v モジュールが動作し、DuTiP1 に対してトリガーパルスを送信するとともに、イベント識別のための event number および event tag を設定する。event number はトリガー信号を受信するたびにインクリメントされる識別子であり、event tag は外部共通クロックを基準としたカウント値である。これにより、複数の読み出しボードを用いた場合でも、同一イベントのデータを対応付けることが可能となる。

その後、ROLLINGSHUTTER_RACA.v モジュールが起動し、ピクセルアレイを順次走査してヒットデータを読み出す。この読み出しはローリングシャッター方式に相当するものであり、全ピクセルを一定の順序で読み出す構成となっている。読み出し完了後にはクリア信号が DuTiP1 に送信され、次のイベントに備える。この過程で読み出したピクセルヒットのデータは、後述するように 16bit ブロック単位で FIFO(First-In-First-Out) に格納され、Ethernet 経由でデータ収集用 PC に送信される。

本研究では DuTiP1 の評価を目的として、外部トリガーを受信した際に全ピクセルを順次読み出す方式を採用した。将来的なビーム衝突実験では、ヒットのあったピクセルのみを効率的に読み出す方式が必要である。

PC に送受信されるデータ

FPGA から PC へのデータ送信は、8 bit データを 2 つ組み合わせた 16 bit（2 Byte）単位で行われる。以下では、上位 8 bit を上位ビット、下位 8 bit を下位ビットと呼ぶ。

トリガー信号を受信した後に送信されるデータセットは、Event Header（Event Number および Event Tag）と、これに続く Pixel Data から構成される。DuTiP は Dual Timer 構造を持つため、ピクセルデータおよびヒット情報は 1 イベントあたり 2 トリガー分が送信される。これらのデータ種別を識別するため、上位ビットの一部には識別フラグ（ID）が割り当てられている。各データの詳細なフォーマットを以下に述べる。

Event Number および Event Tag は各 32 bit の幅で定義されているが、1 回の転送で送信可能なデータ幅は 16 bit であるため、各データは 3 回に分割して送信される。上位ビット のうち上位 3 bit （[15:13]）をデータ識別 ID とし、残りのビットを実際のデータ値（ペイロード）として使用する。3 回目の送信において使用されないビットについては、0 を挿入して送信する。

表 3.2: 上位 8 ビットの内訳

名称	上位ビットの内訳
event_number	100X_XXXX
event_tag	101X_XXXX
ピクセルデータおよびヒット情報	0XXX_XXXX

上位 8 bit の内訳を表 3.5.4 に示す。表中で 0 または 1 が固定されているビットはデータ種別の識別に用いられ、X と記されたビットはデータ値を書き込むためのペイロードとして使用される。これに続く下位 8 bit はすべてデータ値の格納に用いられる。ピクセルデータおよびヒット情報の詳細については、表 3.5.4 にまとめる。

表 3.3: 下位 8 ビットの内訳

項目	bit
column address (6bit)	0 〜 5 bit
row address (6bit)	8 〜 13 bit
current_hit 1 → current のときにヒット，0 → ヒットなし	6 bit
previous_hit 1 → previous のときにヒット、0 →ヒットなし	7 bit
TRG_number 0 →トリガー 1、1 →トリガー 2 でのピクセルスキャン	14 bit

3.6 本論文での DuTiP1 試験項目

ピクセル検出器の性能評価においては、実際の荷電粒子が検出器を通過する環境下での応答を確認することが重要である。本研究では、ヒット検出効率を最も重要な評価指標と位置付け、読み出し動作やトリガー条件に起因するピクセルヒットの取りこぼしを可能な限り抑制することを重視した。

DuTiP は 2 つのタイマーを備えた Dual Timer Pixel 構造を有しているが、本論文ではタイマー間の時間分離性能や複数ヒット識別性能そのものの評価は行わず、荷電粒子に対する基本的なヒット検出性能の評価に主眼を置いた。そのため、DuTiP1 の TRG1 のトリガー条件は、開始時間を 1 クロック、パルス幅を 256 クロックとし、タイマーの時間レンジを全てカバーする設定とした。これにより、トリガーレイテンシ内で発生したヒット情報を確実に取得できる条件とした。本研究の測定条件では TRG2 を必要としないため、TRG2 は入力していない。

また、特に断りがない限り、ALPIDE アンプ回路の各種パラメータは、付録 A に示した値のうち、Li 氏の博士論文 [21] において最適とされた設定を用いている。

本論文における DuTiP1 の主な試験項目は以下の通りである。

- ビームテストによる検出効率の評価
- ビームテストによる位置分解能の評価
- 赤外線レーザーを用いた検出効率の評価

先行研究におけるビームテストでは、DuTiP1 の検出効率が約 60% 程度に留まる結果が報告されている [22]。この結果になった要因として、トリガーを XRPIX5 なるピクセルセンサーが出すものを用いたため、タイマーのレンジから外れる事象が含まれていた可能

性が指摘されている本論文では、これらの点を踏まえてセットアップを見直した上でビームテストによる電子の通過に対する検出効率および位置分解能の評価を行った。さらに、入射位置を高精度に制御可能な赤外線レーザー測定を導入することにより、DuTiP1 のピクセル中の位置に依存する検出効率の変化の有無を調査した結果について報告する。

第4章　KEK AR テストビームラインにおけるテストビーム実験

Belle Ⅱ 実験の崩壊点検出器のアップグレード用ピクセルセンサーのプロトタイプである DuTiP1 と TJ-Monopix2 の荷電粒子に対する検出効率および位置分解能を評価するため、2024 年 12 月に、KEK AR テストビームライン（ARTBL）[23] においてテストビーム実験を実施した。本論文では DuTiP1 の性能評価について記す。テストビーム実験は、実際のビーム環境下における検出器性能を評価するための重要な手法であり、センサーの基本特性に加えて、読み出し系やデータ解析手法を含めた総合的な性能評価が可能である。本実験では、DuTiP1 以外の SOI ピクセルセンサーで構成したテレスコープ を用いてテストビーム粒子である電子の飛跡を再構成し、その飛跡を内挿して DuTiP1 の有感領域を通過した事象を用いて検出効率および位置分解能の評価を行った。

本章では、まず 4.1 節において、テストビーム実験のセットアップについて述べる。次に、4.2 節では、テストビーム実験に先立って実施した事前測定として、テレスコープに用いられている SOI センサーである INTPIX4NA の同期試験および XRPIX5 の Trigger Latency 測定について述べる。続いて、4.3 節においてトラッキング手法の詳細を述べ、最後に 4.4 節で DuTiP1 の性能を評価する測定結果を報告する。

4.1　セットアップ

図 4.1 および図 4.2 に、本テストビーム実験のセットアップ写真および検出器配置の概略図を示す。 テレスコープは、6 枚の INTPIX4NA センサーと、トリガー検出器として最上流に XRPIX5 センサー、最下流に 5 mm × 5 mm 角の面積を持つプラスチックシンチレーターの 2 種類を配置した。6 枚の INTPIX4NA は上流側から順に IP26、 22、 15、 14、 13、 9 と個体識別番号を付与している。IP22 と IP15 の間には TJ-Monopix2 を、IP14 と IP13 の間に DuTiP1 を配置した。

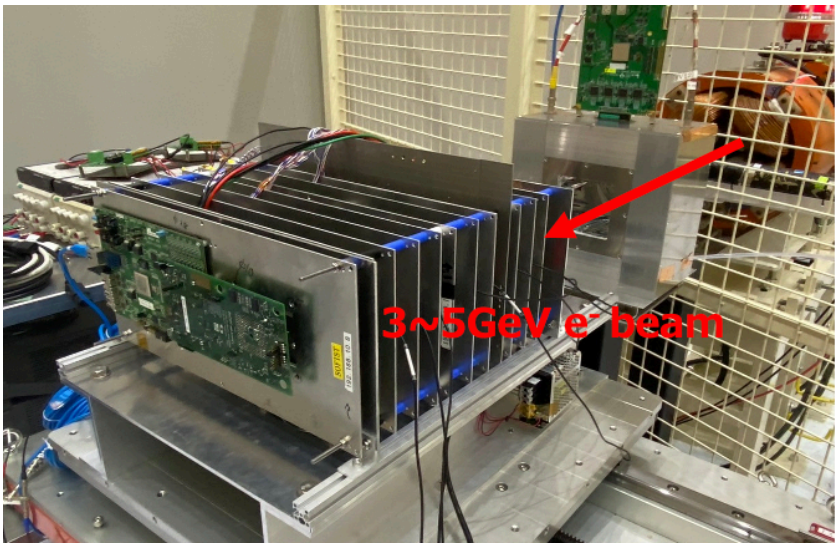


図 4.1: ビームテストのセットアップの写真。画面奥 (右上) から手前 (左下) に向けて電子ビームが到来する。エネルギーは 3 GeV から 5 GeV の範囲で可変である。

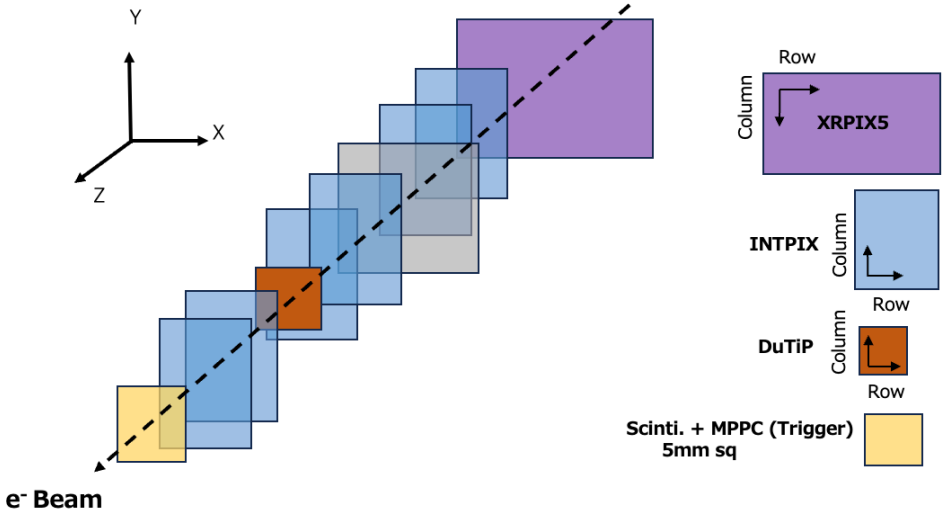


図 4.2: ビームテストのセットアップの概略図

XRPIX5 は X 線観測を目的として開発したイベント駆動型の SOI ピクセル検出器である。XRPIX5 は ROI (Region of Interest) を設定する機能を搭載しており、INTPIX4NA や DUT (Device Under Test) である DuTiP1 の有感領域と重複する領域に絞ってトリガーすることができる。これを利用してビームスポットと DUT の位置関係を確認するサーベイが可能である。もう一方のトリガー検出器は、ビーム最下流にある MPPC 読み出しの 5 mm 角のシンチレーターである。 後述する XRPIX5 の Trigger Latency の影響を考慮し、 本論文における DuTiP1 の性能評価は、すべてシンチレーターをトリガーと

して取得したイベントサンプルを用いて行った。

表 4.1: XRPIX5 の主要パラメータ

パラメータ	値
ウェハータイプ	N-type Floating Zone wafer
センサー厚	310 μm
チップサイズ	24.6 $\times$ 15.3 mm^2
有感領域	21.9 $\times$ 13.8 mm^2
ピクセルサイズ	36 μm 角
ピクセル数	608 $\times$ 382 pixels

4.1.1 INTPIX4NA(INTegration-type PIXel detector generation 4 of New Age)

SOI テレスコープに用いられている INTPIX4NA は ピクセルサイズが 17 μm 角の微細なピクセルを有する SOI ピクセル検出器である。INTPIX4NA のパラメータを表 4.2 に示す。ピクセル数は 832 $\times$ 512 = 425,984 pixels である。ピクセルが 832 pixels 並ぶ方向を Column 方向、512 pixels 並ぶ方向を Row 方向 と定義している。アナログ信号の読み出しは、 Column 方向に 64 pixels、 Row 方向に 512 pixels を 1 block として 13 block の並列読み出し方式が採用されている (4.3)。読み出されたアナログ信号は、12 bit ADC によってデジタル信号に変換される。

表 4.2: INTPIX4NA の主要パラメータ

パラメータ	値
ウェハータイプ	N-type Floating Zone wafer
センサー厚	300 μm
埋込酸化膜層厚	140 nm
SOI 回路層厚	40 nm
チップサイズ	15.4 $\times$ 10.2 mm^2
有感領域	14.1 $\times$ 8.7 mm^2
ピクセルサイズ	17 μm 角
ピクセル数	832 $\times$ 512 pixels

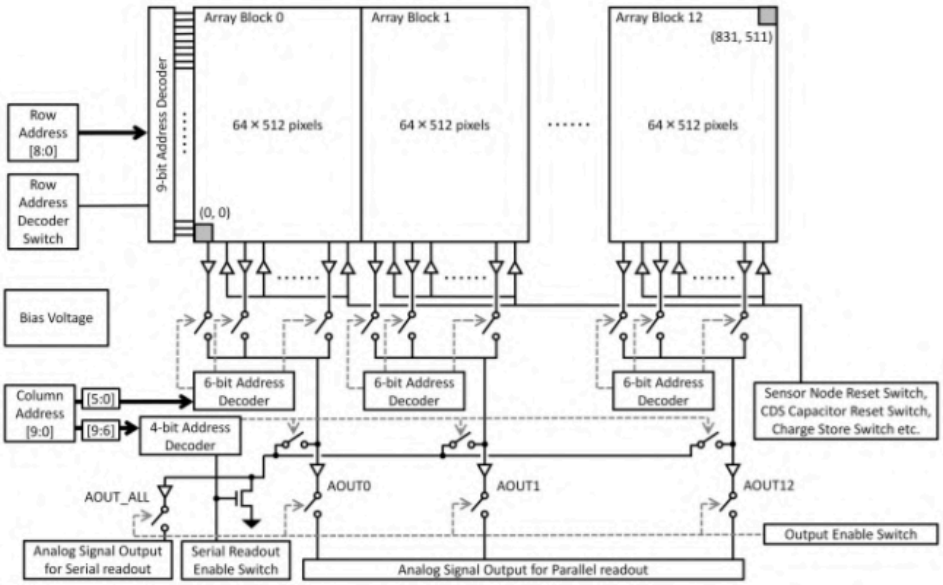


図 4.3: INTPIX4NA の IO-Path[24]

4.1.2 TLU (USAGI3 ボード)

本テストビーム実験では、複数のセンサーを用いて同時にデータ収集を行うため、システムを構成するセンサーの枚数と同数の SEABAS2 ボードを使用し、データはボードごとのブロックで読み出す。すべてのセンサー間で正確な同期をとる、つまり適切にトリガーを全てのボードに配るシステムが必要である。本実験では USAGI3 ボードと呼ばれる Trigger Logic Unit (TLU) を用いて テレスコープの DAQ 制御を行った。INTPIX4NA の DAQ に関する信号としては、 RESET 信号、 BUSY 信号、Trigger 信号、 Event Tag CLK 信号がある。これらの信号は USAGI3 から各検出器に送受信され、テレスコープ全体の同期およびイベント制御に用いられる。また、USAGI3 から DuTiP1 に送信される信号は Trigger 信号および Event Tag CLK 信号である。これにより、DuTiP1 はテレスコープと共通のトリガーおよびイベント識別情報に基づいてデータ取得を行うことが可能となる。以下で各信号の役割について説明する。

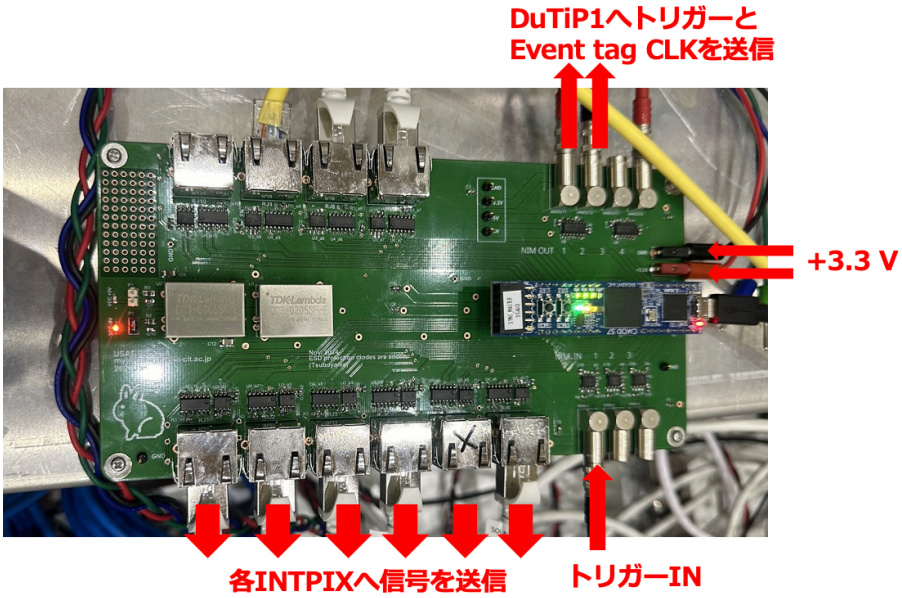


図 4.4: USAGI3 ボード

RESET 信号

INTPIX4NA は電荷積分型ピクセル検出器であり、各 SEABAS2 ボードが Reset 信号を受信すると、ボード上の FPGA がピクセルに向けて Reset 信号を生成し、一斉にリセットする。INTPIX4NA は USAGI3 から供給される RESET 信号を基準として、電荷の積分とリセットを繰り返しており、この RESET 信号によって複数枚の INTPIX4NA 間でリセットタイミングが同期される。本テストビーム実験では、電荷積分時間を 100 μsec に設定して測定を行った。

Trigger 信号

Trigger 信号は、 INTPIX4NA および DuTiP1 の信号読み出し処理を開始するための信号である。MPPC または XRPIX5 から出力された Trigger 信号は、まず USAGI3 に入力され、その後 USAGI3 から INTPIX4NA および DuTiP1 へ一斉に送信される。

Event Tag CLK 信号

Event Tag CLK 信号は一定周波数で供給される矩形パルス波である。SEABAS2 はデータ送信時にこのクロック信号のカウント数を 32bit のタイムスタンプとしてヒット情報に付与する。タイムスタンプが一致するイベントを抽出することで、同一ビーム粒子によるデータであることを保証できる。本研究では Event Tag CLK 信号の周波数を 1 kHz に設定した。

BUSY 信号

INTPIX4NA では、読み出しおよびリセット動作中に新たな Trigger 信号を受信しても処理することができない。このため、これらの処理期間中は BUSY 信号を USAGI3 に送信し、Trigger 信号を発行しない状態にする。この仕組みにより、複数枚の INTPIX4NA において TimeStamp の揃ったデータを取得することを保証する。
図 4.5 に INTPIX4NA 内での信号処理のタイムチャートを示す。

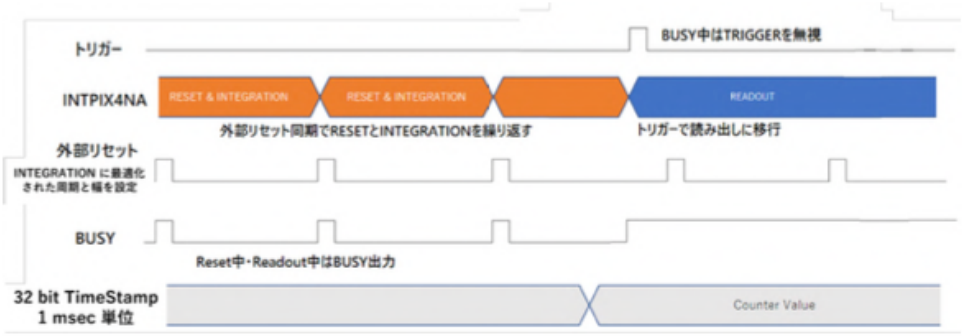


図 4.5: テレスコープ タイムチャート [24]

4.2 事前測定

本節では、テストビーム実験に先立って実施した実験室環境における事前測定について述べる。本テストビーム実験では、複数の検出器で取得されたデータを対応付けるために、タイムスタンプが飛跡再構成に重要なパラメータとなる。そのため、まず複数枚の INTPIX4NA を用い、ランダムトリガーを用いた同期試験を行い、各センサー間でタイムスタンプが一致することを確認した。

また、トリガー検出器がヒットを検出してから各センサーがトリガー信号を受信するまでに要する時間 (Trigger Latency) は、 INTPIX4NA における電荷積分時間の設定において考慮すべき重要な要素である。さらに DuTiP1 では 7bit タイマーが動作を開始してから 128 カウント目で外部トリガーとのコインシデンス判定を行うため、トリガー信号がこれより遅れて到達した場合、ヒット情報が保持されずに失われる。そこで、テレスコープのトリガー検出器として用いられている MPPC シンチレーターおよび XRPIX5 におけるトリガー信号のタイミング差を測定し、Trigger Latency を評価した。
以下では、まず 4.2.1 節において INTPIX4NA の同期試験について述べ、続いて 4.2.2 節において Trigger Latency 測定について説明する。

4.2.1 INTPIX4NA の同期試験

図 4.6 に INTPIX4NA を 5 枚用いて同期試験を行った際のセットアップを示す。MPPC 読み出しのシンチレーターの直上に ^{90}Sr 線源を設置し、シンチレーターで検出された信

号をトリガー信号として USAGI3 に入力した。USAGI3 からトリガー信号および Event Tag CLK 信号が 5 枚の INTPIX4NA を読む SEABAS2 ボードに一斉に分配される。

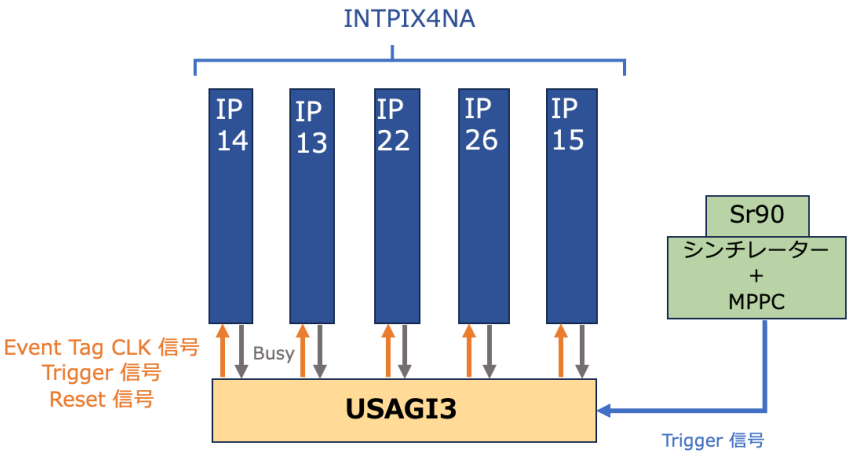


図 4.6: 同期試験のセットアップ概略図

1000 イベント測定した際の測定結果を表 4.3 に示す。また、その際に、IP15 および IP13 で取得されたタイムスタンプの一部を図 4.7 に示す。5 枚すべてのセンサーでタイムスタンプが一致したイベントは 1000 イベント中 997 イベントであり、一致率は 99.7% であった。この結果から、本テストビーム実験において用いる同期方式は十分な精度を有しており、ビームラインでのデータ取得に支障がないと判断した。

表 4.3: 同期試験 結果

IP13、IP22、IP26	一致
IP14	3 イベント抜け (2344415,2844169,3319044)
IP15	2 イベント抜け (34396,2844169)

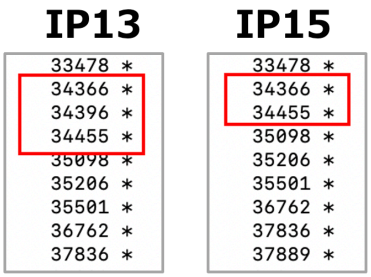


図 4.7: IP13 と IP15 のタイムスタンプの比較。IP13 に記録されている 34396 という値のタイムスタンプが IP15 では記録されていないことがわかる。

4.2.2 Trigger Latency 測定

図 4.8 に示すように、MPPC 読み出しのシンチレーターの上流側に USAGI3 に接続された XRPIX5 を配置し，トリガー信号の遅延時間（Trigger Latency）の測定を行った。測定にはオシロスコープを用い、得られた結果のスナップショットを図 4.9 に示す。

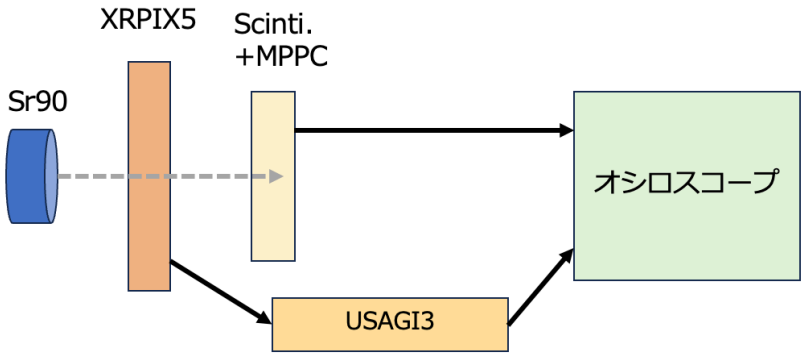


図 4.8: Trigger Latency 測定のセットアップ

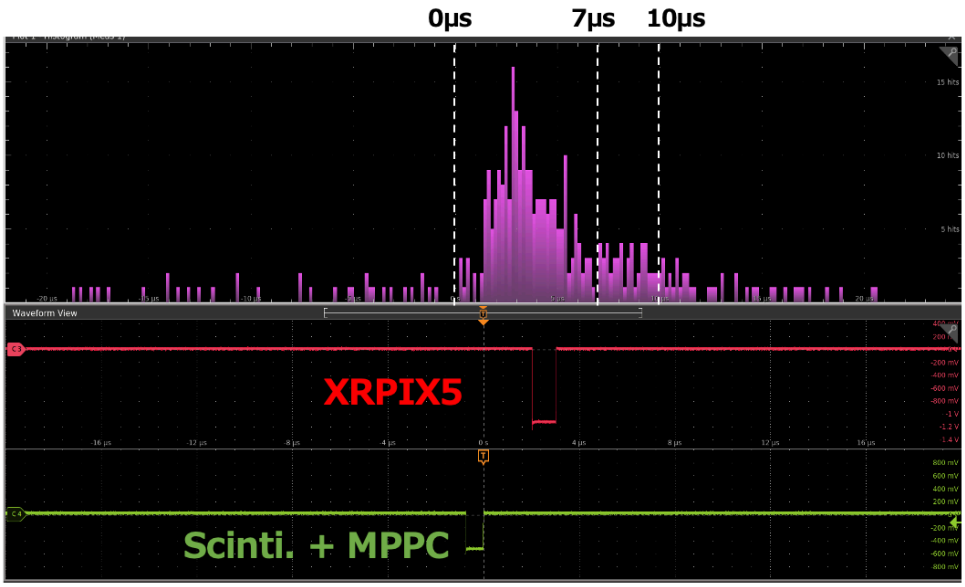


図 4.9: Trigger Latency 測定結果

図の下部には実際に得られたある特定のイベントの波形を示しており、赤色の信号は USAGI3 を介して送信された XRPIX5 からのトリガー信号、緑色の信号はシンチレーターからのトリガー信号を示している。また、画面上部のピンク色のヒストグラムは、これら二つの信号の立ち下がり時間の差 (XRPIX5 - シンチレーター) を分布として表したもの

である。図 4.9 より、 XRPIX5 の典型的な Trigger Latency は約 3 μsec 程度であり、最大では十数 μsec となっている。INTPIX4NA は、積分時間を 100 μsec と十分に長く設定することで Trigger Latency の影響を受けずにデータ収集を行うことが可能である。一方で、DuTiP1 は 7bit タイマーが動作を開始してから 128 カウント目に外部トリガーとのコインシデンス判定を行う。本研究で用いた FW では、タイマーは 18.75 MHz で動作しているため、トリガー信号の幅を十分広げたとき、それを受け付ける時間幅は約 7 μsec である。図 4.9 と比較すると、7 μsec を超える XRPIX5 のトリガー信号が少なくとも 10% 程度存在しており、DuTiP1 の検出効率を評価する際に無視できない影響を与えると判断した。以上の理由から，本テストビーム実験における DuTiP1 の性能評価では、XRPIX5 ではなくシンチレーターをトリガーとしてデータ収集を行った。

4.3 トラッキング (飛跡再構成)

本節では、トラッキングに用いた INTPIX4NA のデータ解析手法について述べる。基本的な解析の流れは、これまでに SOI グループで提案・確立された手法を踏襲している [24]。本実験では、DuTiP1 の上流 2 枚（IP15、IP14）および下流 1 枚（IP13）の合計 3 枚の INTPIX4NA を用い、そのヒット情報からビームの飛跡を再構成した。再構成された飛跡を DuTiP1 上に内挿することで、DuTiP1 の検出効率および位置分解能を評価する。

本実験のセットアップでは、トラッキング用のセンサーが 3 枚と少なく、さらに最下流の IP13 が他のセンサーから離れて配置されていた。このため、アライメント前に仮トラックを構成する従来手法の適用が困難であった。そこで本研究では、まず IP14 を基準としたヒット位置分布の差に基づく初期アライメントを行い、その後にトラックを用いたアライメントを適用する二段階の手法を採用した。詳細は 4.3.3 節にて述べる。解析に用いたデータは，すべて 5 GeV 電子ビームを用いて取得したものであり、特筆がない限り 1 Run あたり約 30000 イベントのデータを使用している。

4.3.1 ペデスタル評価

INTPIX4NA の各ピクセルは、それぞれ固有のペデスタル値を持つ。各ピクセルのペデスタルは、取得イベント数を N_{event} 、i 番目のイベントの ADC 値を ADC_i として、次式で定義される。

$$\text{pedestal} = \frac{1}{N_{\text{event}}} \sum_{i=1}^{N_{\text{event}}} \text{ADC}_i \tag{4.1}$$

INTPIX4NA のペデスタルは時間的に揺らぐため、この揺らぎを補正する必要がある。ブロックごとに、該当イベントにおけるペデスタル平均（frame average）と、Run 全体のペデスタル平均（baseline）の差を補正項として差し引く。補正後の ADC 値を ADC$'$ とすると、次式で表される。

$$\text{ADC}' = \text{ADC} - (\text{frame average} - \text{baseline}) \tag{4.2}$$

以上の量を用いて、各ピクセルのペデスタル分布の標準偏差 σ は次式で定義される。

$$\sigma = \sqrt{\frac{1}{N_{\mathrm{event}}} \sum_{i=1}^{N_{\mathrm{event}}} (\mathrm{ADC}'_i - \mathrm{pedestal})^2} \tag{4.3}$$

本解析では、各 Run の最初の 2000 イベントを用いて σ を算出した。信号電荷量が σ の 10 倍を超えるピクセルを信号ヒット（10σ カット）と定義し、以降の解析におけるノイズ除去条件とした。

4.3.2 クラスタリング

荷電粒子の通過によって生じた電荷は、入射したピクセルを中心として周囲のピクセルへと広がり、クラスタを形成する。荷電粒子が入射したピクセルをシードピクセルと呼び、本研究では最も大きな ADC 値を持つピクセルをシードピクセルとした。またシードピクセルを中心として 20×20 ピクセルの範囲内にあり、ノイズ除去条件をパスしたピクセル群をクラスタと定義した。なお、センサーの端辺近傍に形成されるクラスタは、センサーの物理的な境界によって形状に欠損が生じる。これは後述する電荷重心法において系統的な誤差の原因となるため、シードピクセルがセンサーの端から 3 ピクセル以内にある場合は、解析対象のクラスタから除外した。図 4.10 に各クラスタの総電荷量 (クラスタチャージ) 分布を示す。この分布から、MIP(Minimum Ionizing Particle) によるエネルギー損失に対応した Landau 分布が確認できる。クラスタを構成するピクセルヒットの数をクラスタサイズと呼び、図 4.11 にクラスタサイズ分布を示す。図 4.12 はクラスタ数分布であり、大部分のイベントでクラスタ数は 1 であり、単一粒子の通過を検出したイベントが支配的であることが分かる。全イベントのうち約 1% にクラスタ数が 2 以上となるイベントが存在したが、これは真のヒットイベントの他に INTPIX4NA のノイズもしくは偶発的に入射した別の荷電粒子によるものだと考えられる。

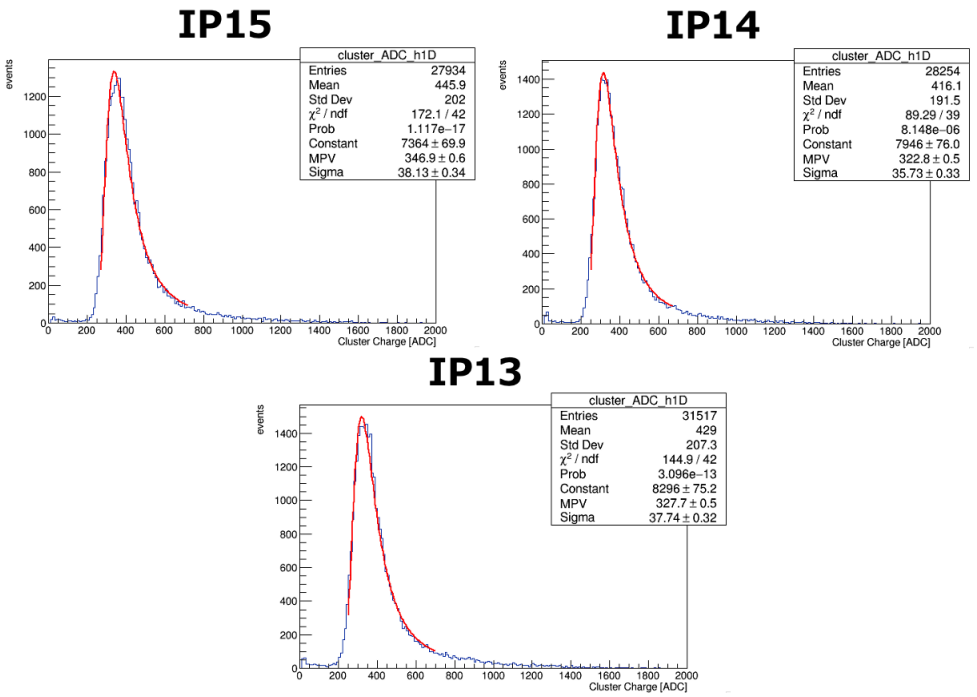


図 4.10: クラスタチャージ分布。単位は ADC カウント

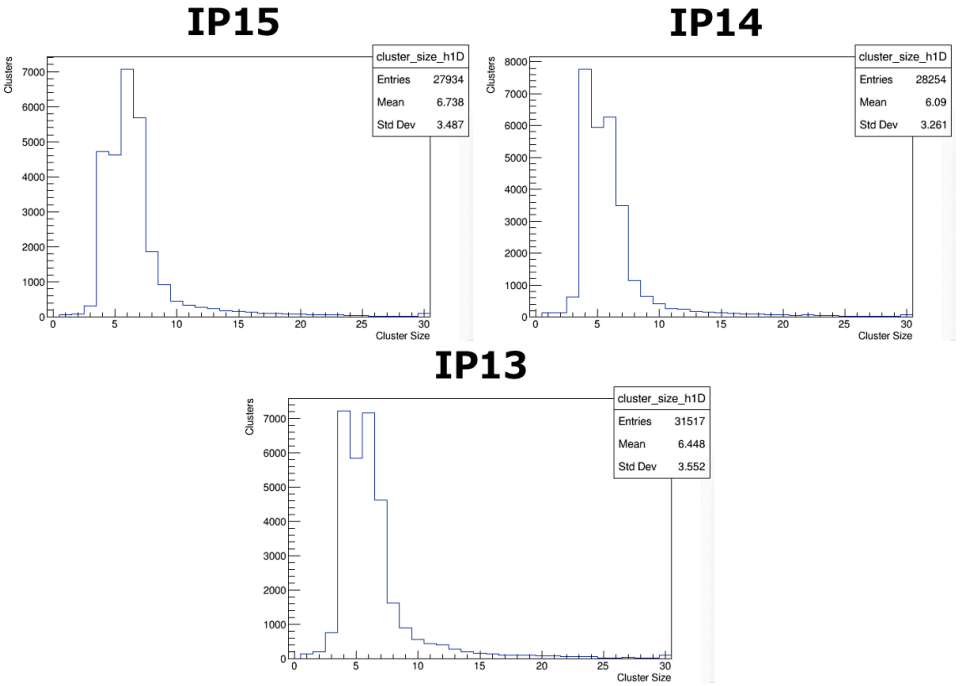


図 4.11: クラスタサイズ分布

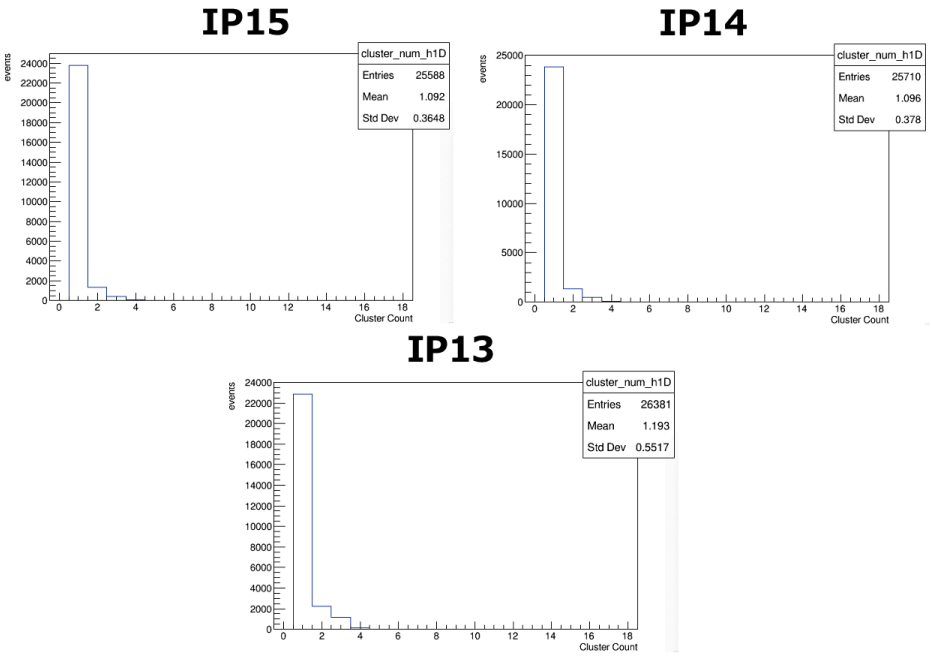


図 4.12: クラスタ数分布

荷電重心法

荷電重心法とは、クラスタを構成する各ピクセルの位置を、そのピクセルが収集した電荷量で重み付けすることにより、荷電粒子の入射位置を再構成する手法である。本研究では、INTPIX4NA のクラスタ位置算出にこの手法を用いた。クラスタ中に存在する n 個のピクセルについて、i 番目のピクセルの Column（または Row）アドレスを x_i、そのピクセルの信号電荷量を Q_i [ADC] とすると、荷電重心法によるヒット位置 x は次式で与えられる。

$$x = \frac{\sum_{i=1}^{n} x_i Q_i}{\sum_{i=1}^{n} Q_i} \times 17\ \mu\mathrm{m} \tag{4.4}$$

ここで 17 μm は INTPIX4NA のピクセルサイズである。電荷重心法により算出したヒット位置の 2 次元分布を図 4.13 に示す。Column アドレス 200〜500、Row アドレス 100〜400 の領域にヒットが集中していることが確認できる。これは、

$$300 \times 17\ \mu\mathrm{m} = 5100\ \mu\mathrm{m}$$

に相当し、本実験でトリガーに用いたシンチレーターのサイズと一致している。一方、この領域外に見られるヒットは、電子ビームに起因しないノイズ事象であると考えられる。

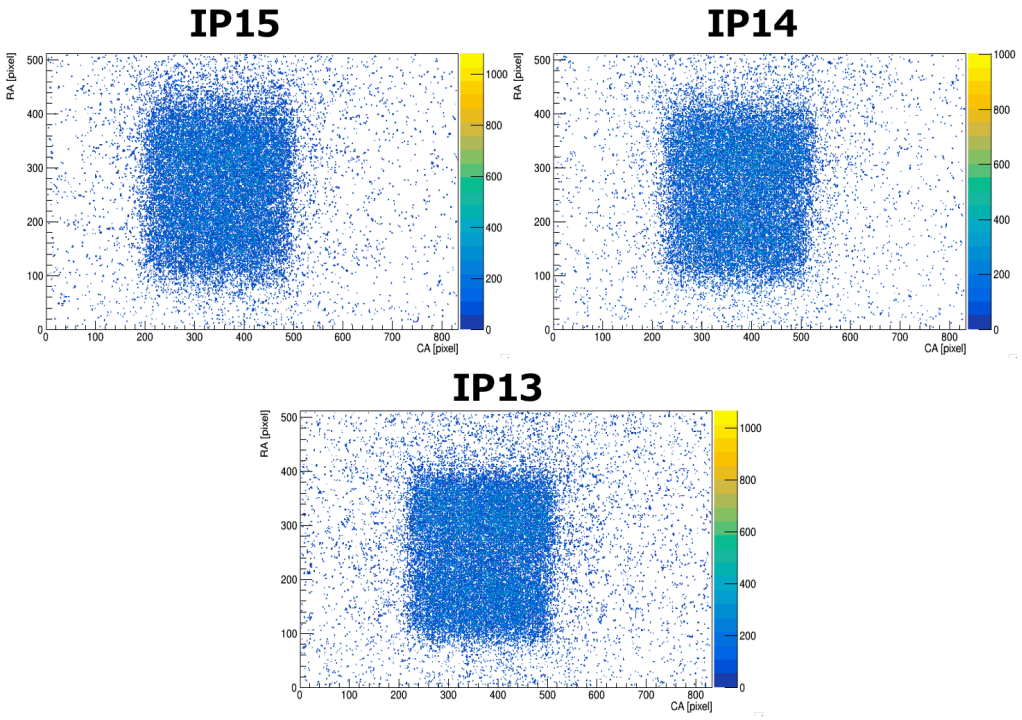


図 4.13: INTPIX4NA のヒットマップ

4.3.3 アライメント

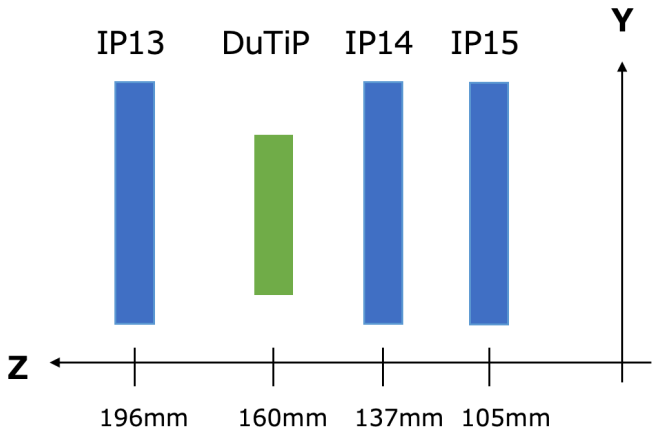


図 4.14: テレスコープの座標系

トラッカーを構成する複数のピクセル検出機を用いてビームを正確にトラッキングするためには、各トラッカー間の相対位置および向きを補正し、実際に設置した状況を再現する必要がある。この作業をアライメントと呼ぶ。本研究では図 4.14 に示すように、RA 方

向を X 軸、CA 方向を Y 軸、ビーム方向を Z 軸と定義した。XY 平面の原点は IP14 の $(\mathrm{CA}, \mathrm{RA}) = (0, 0)$ とし、Z 軸方向の基準は最上流に配置した XRPIX5 とした。補正を行うセンサーのセットアップ設計値の座標を $(x_{\mathrm{org}}, y_{\mathrm{org}})$ とし、各検出器の XY 平面内での回転角を θ、並進移動量を Δx、Δy と定義する。このとき、補正後の位置 $(x_{\mathrm{corr}}, y_{\mathrm{corr}})$ は次式で表される。

$$\begin{pmatrix} x_{\mathrm{corr}} \\ y_{\mathrm{corr}} \end{pmatrix} = \begin{pmatrix} \cos\theta & -\sin\theta \\ \sin\theta & \cos\theta \end{pmatrix} \begin{pmatrix} x_{\mathrm{org}} \\ y_{\mathrm{org}} \end{pmatrix} - \begin{pmatrix} \Delta x \\ \Delta y \end{pmatrix} \tag{4.5}$$

本研究では、以下に示す二段階の手法を用いて INTPIX4NA のアライメントを行った。

- IP14 を基準としたヒット位置分布に基づく初期アライメント
- 再構成したトラックを用いたアライメント

IP14 に対するアライメント

まず、IP14 を基準とし、各センサーにおけるヒット位置と IP14 のヒット位置との差の分布を用いて、X および Y 方向の並進補正を行った。対象になるセンサーと基準とする IP14 の差分分布の中心値が 0 に近づくように Δx、Δy を決定した。次に回転方向の補正を行った。回転補正では，補正対象センサーにおける Column 方向のヒット位置と、IP14 との Row 方向ヒット位置の差の相関を用いて回転方向のずれを評価した。理想的に回転が補正されている場合、Row 方向のヒット位置差は Column 位置に依存せず一定となるため、両者の相関の傾きは 0 となる。この相関を一次関数でフィッティングし，得られた傾きにセンサーの有感領域の長さを掛け合わせた値を「アライメントによる最大のずれ」と定義した。初期アライメントの段階では、このずれが 1 ピクセル分に相当する 17 μm 以下となるように回転角 θ を決定した。

トラックを用いたアライメント

初期アライメント後のヒット位置を用いてトラックを再構成し，これを基にアライメントを行った。IP15 のアライメントには IP14 と IP13 のピクセルヒットから再構成した直線トラックを用い、IP13 のアライメントには IP14 と IP15 のピクセルヒットから再構成した直線トラックを用いた。IP14 に対するアライメントと同様に、トラックから予測される位置 (トラック位置) と各センサーにおけるヒット位置の残差 (トラック位置 − ヒット位置) 分布を求め、その中心値が 0 に近づくように並進補正を行った。図 4.15 に IP15 の並進補正前後の Row 方向の残差分布を示す。また、決定した並進移動量を表 4.5 に示す。

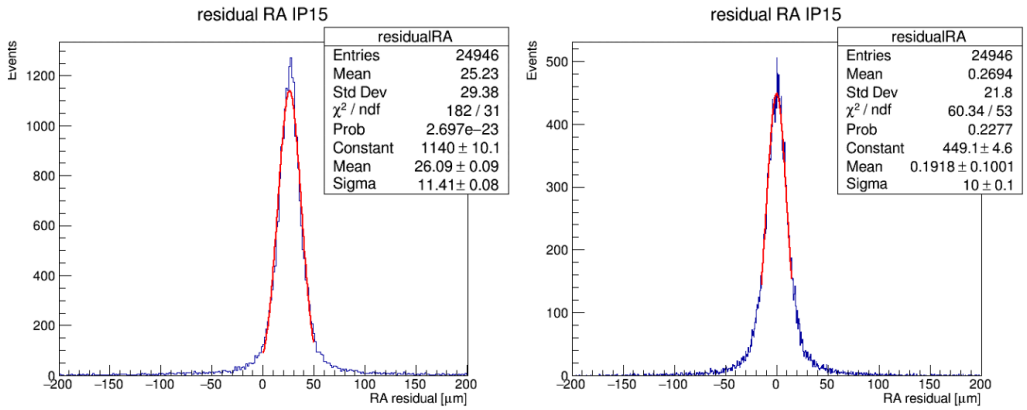


図 4.15:　IP15 の並進補正前後の残差分布 (左: 補正前 x 方向、 左図: 補正後 x 方向)。補正前は 26μm のずれがあったものが、補正後はゼロと無矛盾になっている。

回転補正に関しては、Row(または Column) 方向の残差と Column(または Row) 方向のヒット位置の相関から回転角を決定した。図 4.16 は IP15 における Column 方向のトラック位置と Row 方向の残差の相関であり、左図は補正前、右図は補正後を示している。補正後のフィットの傾きは 0.039 mrad であり、この時の最大のずれは 0.039 mrad$\times$832$\times$17 μm = 0.55 μm と計算される。回転方向が完全に補正されていれば Row 方向の残差の Column 位置依存性はなくなるが、実際にはセンサーの z 方向のずれや仰角方向のずれの影響により、傾きは完全に 0 にはならない。そのため、本研究では最大のずれが 3.0 μm 以下となるように θ を決定した。最終的に決定した回転角と、その時の最大のずれをそれぞれ表 4.5 および表 4.4 に示す。

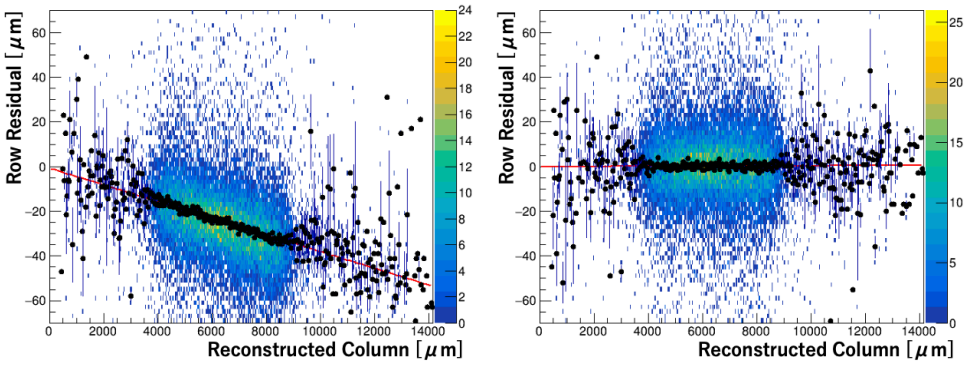


図 4.16:　IP15 の回転補正前後での再構成 Column 位置と Row 方向残差の相関。 赤線は一次関数によるフィッティング結果を示しており、補正後（右図）は補正前（左図）に比べて傾きが十分に小さくなっている。

表 4.4: 回転方向のずれの最大値

DUT	IP15	IP13
Row [μm]	0.55	0.07
Column [μm]	1.13	1.18

表 4.5: アライメントパラメータ

DUT	回転角度 [mrad]	水平方向 [μm]	垂直方向 [μm]
IP15	-2.8	-85.3	421.0
IP13	-3.0	205.2	107.4

4.3.4 再構成した飛跡の位置分解能の評価

本節では、DuTiP1 上に外挿したトラックの位置予測精度を評価する。トラックの位置分解能は、トラックの予測位置と実際に観測されたヒット位置との差（残差）の分布から評価する。残差分布の標準偏差 σ_{res} は、DUT の位置分解能 σ_{dut} と、トラックの外挿精度（位置分解能） σ_{trk} を用いて、次式で表される。

$$\sigma_{\mathrm{res}} = \sqrt{\sigma_{\mathrm{dut}}^2 + \sigma_{\mathrm{trk}}^2} \tag{4.6}$$

まず、3 枚の INTPIX4NA のうち 1 枚を DUT とみなし、残りの 2 枚を用いて再構成したトラックの外挿精度を評価した。INTPIX4NA の単体での位置分解能は約 1.5 μm と極めて小さいため、式 (4.6) において $\sigma_{\mathrm{res}} \simeq \sigma_{\mathrm{trk}}$ と近似できる。各センサーを DUT とした場合の残差分布の標準偏差 σ_{x}、σ_{y}、およびその平均値 σ_{ave} を表 4.6 に示す。

表 4.6: INTPIX4NA を DUT とした場合のトラックの位置分解能

DUT	σ_{x} [μm]	σ_{y} [μm]	σ_{ave} [μm]
IP15	10.18 ± 0.13	9.56 ± 0.11	9.87 ± 0.12
IP14	7.14 ± 0.05	6.68 ± 0.05	6.91 ± 0.05
IP13	18.61 ± 0.29	17.17 ± 0.23	17.89 ± 0.26

INTPIX4NA は正方形のピクセル構造を持つため、理想的には x 方向および y 方向で同等の位置分解能を示す。本研究では，x および y 方向の分解能の平均値をトラックの位置分解能 σ_{trk} と定義した。なお、アライメント精度が x，y 方向で独立に寄与することを考慮し、不確かさについては統計処理せず、両方向の不確かさの平均値を用いた。

DuTiP1 の評価では、上流側に配置した 2 枚、下流側に配置した 1 枚の INTPIX4NA を用いた合計 3 枚のトラッカーから直線トラックを再構成している。このトラッキング手法における DuTiP1 上の位置分解能 $\sigma_{\mathrm{trk,DuTiP1}}$ を厳密に評価するためには、DUT である DuTiP1 の前後に配置した 3 枚のトラッカーから再構成したトラックの内挿精度を評価する必要がある。しかし、本ビームテストのセットアップでは、DuTiP1 の下流側で利用できる INTPIX4NA が 1 枚のみであったため、この評価手法を適用することは難しい。

そこで本解析では、DuTiP1 がトラッカー系の中央に位置する IP14 とビーム軸方向（z 方向）に関してほぼ対称な位置に配置されていることに着目し、IP14 を DUT とした場合に得られたトラックの位置分解能を、 DuTiP1 上に外挿したトラックの位置分解能として用いることとした。表 4.6 に示したように、IP14 を DUT とした場合のトラック位置分解能は $\sigma_{\mathrm{trk}} = 6.91 \pm 0.05$〜$\mu$m である。

以上より、本解析では

$$\sigma_{\mathrm{trk,DuTiP1}} = 6.91 \pm 0.05 \ \mu\mathrm{m} \tag{4.7}$$

と仮定し、この値を用いて DuTiP1 の位置分解能の評価を行った。

4.4 測定結果

本節では、SOI テレスコープによって再構成した飛跡情報を用いて DuTiP1 の荷電粒子検出効率を評価する。

本テストビーム実験では、電子ビームを入射していない条件においても、 DuTiP1 に多数のヒットが観測された。図 4.17 に 1 run における各ピクセルのヒット数分布を、図 4.18 に 1 イベントあたりのヒット数分布を示す。

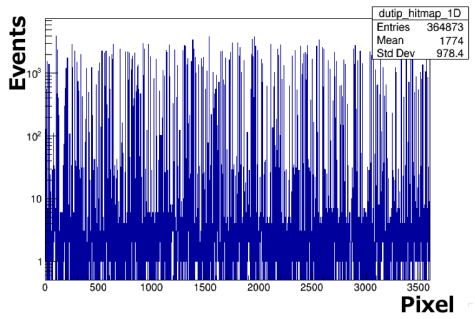


図 4.17: 各ピクセルのヒット数分布

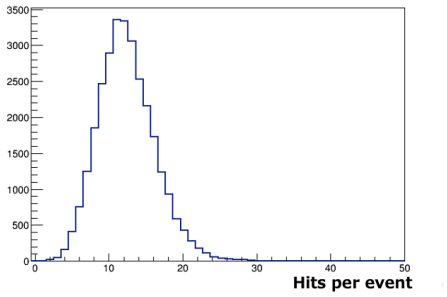


図 4.18: 1 イベントあたりのヒット数分布

図 4.17 より、30000 イベント 中に 1000 回以上のヒットが記録されているピクセルが多数存在することがわかる。また図 4.18 から 1 イベントあたり平均して約 12 ピクセルでヒットが検出されていることがわかる。一方で、図 4.12 に示すように、大部分のイベントは単一粒子によるものであり 、ノイズ由来のヒットと真のヒットに混在している状況であることが示唆される。ここでビーム粒子がセンサーを通過する際に、1 事象あたり最大 4 ピクセルにまたがってヒットすると仮定すると、DuTiP1（64×64 ピクセル）における占有率は

$$\frac{4}{64 \times 64} \simeq 0.1 \ \% \tag{4.8}$$

となる。したがって、1 Run あたり約 30000 イベントを取得している本測定では、ある 1 つのピクセルをビーム粒子が通過する回数は $30000 \times 0.001 \simeq 30$ 回程度と見積もられる。これを基準として、1 Run あたり 30 回以上ヒットが検出されたピクセルをその Run の

ノイジーピクセルと定義し、以降の解析ではこれらをマスクした。ノイジーピクセルをマスクした後の各ピクセルのヒット数分布および 1 イベントあたりのヒット数分布を、それぞれ図 4.19 および図 4.20 に示す。

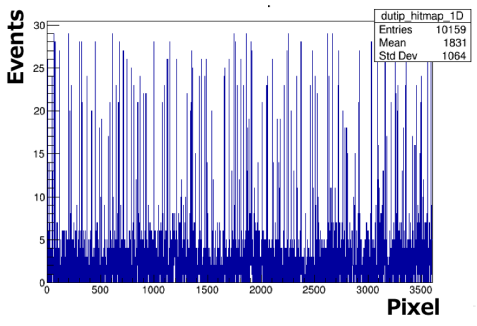


図 4.19: ノイジーピクセルをマスクした後の各ピクセルのヒット数分布

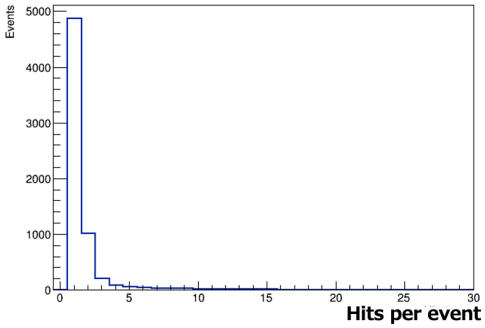


図 4.20: ノイジーピクセルをマスクした後の 1 イベントあたりのヒット数の分布

マスク後の 1 イベントあたりのヒット数分布から、80% 以上が 1 イベントあたり 1 ヒットとなっており、ノイズヒットが効果的に除去されていることが確認できる。

次に、 DuTiP1 におけるヒット位置とテレスコープによって再構成したトラック位置との相関を図 4.21 に示す。Row 方向および Column 方向のいずれにおいても正の相関が確認でき、ビーム粒子が テレスコープと DuTiP1 センサーを貫通したデータが記録できていることが示されている。

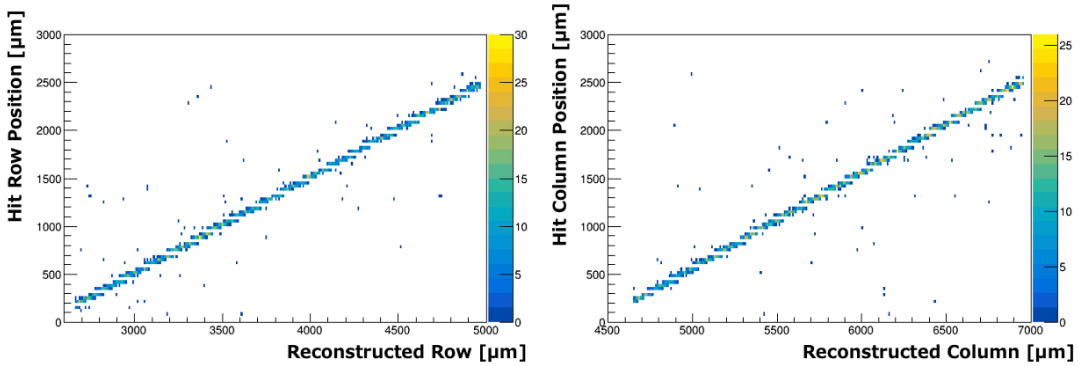


図 4.21: ヒット位置とトラック位置の相関 (左：Row 方向、 右：Column 方向)

4.4.1 DuTiP1 のアライメント

DuTiP1 のアライメントは、4.3.3 節で詳述した SOI テレスコープのトラックを用いたアライメント手法と同様の手順で行った。具体的には、SOI テレスコープにより再構成したトラックを DuTiP1 のセンサー面まで外挿し、その予測位置と DuTiP1 におけるヒット位置との差（残差）を用いて、並進および回転の補正を順に行った。

並進補正

まず、外挿トラック位置と DuTiP1 のヒット位置との差分（残差）を用いて並進方向の補正を行った。図 4.22 に補正前のヒット位置とトラック外挿位置差分分布を示す。これらの分布の平均値は 0 からずれており、センサーの設置位置に並進方向のずれが存在していることが分かる。並進補正では、各方向の残差分布の平均値が 0 となるように、DuTiP1 の座標系にオフセットを与え、ヒット位置の補正を行った。

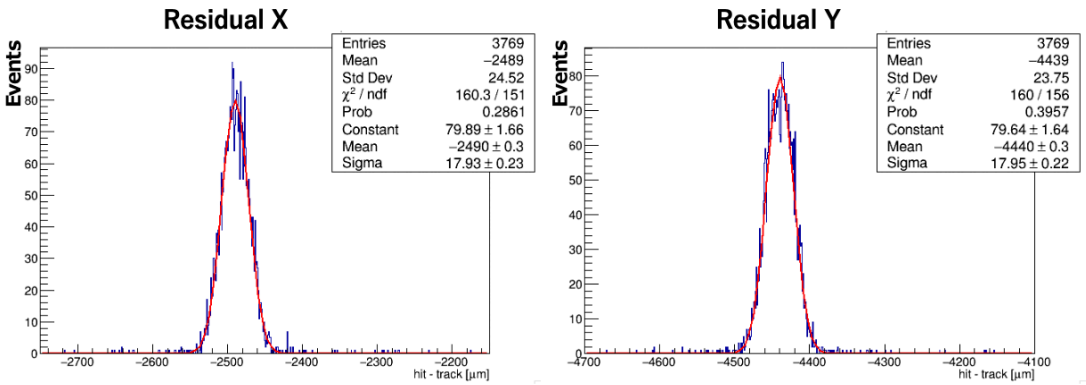


図 4.22: 並進補正前の残差分布 (左：Row 方向、 右：Column 方向)

回転補正

回転補正では、再構成した Row 方向位置と Column 方向残差の相関に対して一次関数でフィットを行い、その傾きから回転角を求め、DuTiP1 の座標系に回転補正を適用した。

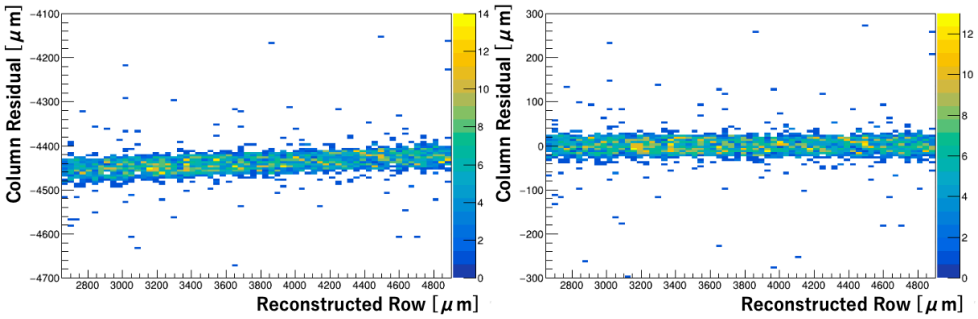


図 4.23: 回転補正前後での再構成した Row 方向位置と Column 方向残差の相関

回転補正前後における相関分布を 4.23 に示す。回転補正前には線形相関が確認されるが、適切な回転角を与えて補正を行うことで、相関が解消されていることが分かる。

4.4.2　位置分解能の評価

図 4.24 に、DuTiP1 におけるヒット位置と、SOI テレスコープにより再構成したトラック位置との差（残差）の分布を示す。左図は Row 方向、右図は Column 方向の残差分布であり、いずれもガウス関数によるフィッティングを行っている。フィッティングの結果、残差分布の標準偏差（残差分解能）は $\sigma_{\mathrm{res}} = 14.88 \pm 0.18$ μm であった。

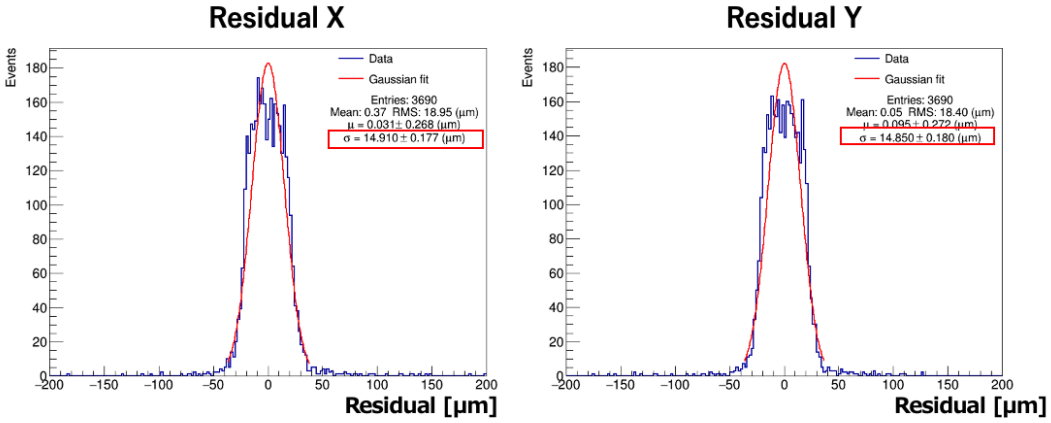


図 4.24: 残差分布（左：Row 方向，右：Column 方向）

4.3.4 節で述べた評価に基づき、本解析におけるトラック位置分解能を $\sigma_{\mathrm{trk}} = 6.91 \pm 0.05$ μm と仮定する。これを用いると、DuTiP1 の位置分解能 σ_{DuTiP1} は次式のように求められる。

$$\begin{aligned} \sigma_{\mathrm{DuTiP1}} &= \sqrt{\sigma_{\mathrm{res}}^2 - \sigma_{\mathrm{trk}}^2} \\ &= \sqrt{(14.88\ \mu\mathrm{m})^2 - (6.91\ \mu\mathrm{m})^2} \\ &= 13.18 \pm 0.20\ \mu\mathrm{m} \end{aligned} \tag{4.9}$$

なお、本解析で用いたトラック位置分解能 σ_{trk} は、幾何配置に基づく仮定値であり、本ビームテストではその独立評価は行っていない。しかしながら、仮にトラック分解能による寄与を差し引かない最も保守的な評価においても、残差分布の幅自体が 15 μm を下回っている。以上の結果から、DuTiP1 の位置分解能は、PXD アップグレードで要求される 15 μm 以下の条件を十分に満たしていると結論づけられる。

4.4.3　検出効率の算出方法

検出効率 ε は、DuTiP1 の有感領域を通過したと予測されるトラックのうち、実際に DuTiP1 上でヒットが検出された事象の割合として定義する。具体的には、以下の式で表される。

$$\varepsilon = \frac{N_{\mathrm{hit}}}{N_{\mathrm{track}}} \tag{4.10}$$

ここで N_{track} は、トラック外挿位置が DuTiP1 の有感領域内にあるイベント数、N_{hit} は、そのうち実際に外挿位置近傍でヒットが検出されたイベント数である。

検出効率の分母となる N_{track} を定義するにあたり、以下の条件を全て満たすイベントのみを対象とした。

1. **タイムスタンプの一致**: SOI テレスコープ（INTPIX4NA）にヒットがあり、かつ DuTiP1 とタイムスタンプが一致していること。
2. **トラックの再構成**: SOI テレスコープのデータを用いて、適切な χ^2 値を持つトラックが再構成されていること。
3. **有効領域の設定**: トラックの外挿位置が、DuTiP1 有感領域の端から 200 μm 以上内側にあること。
4. **ノイズマスク**: トラックの外挿位置が、事前に特定されたノイジーピクセル上に位置していないこと。

また、検出効率の分子となる N_{hit} は、上記条件を満たすイベントのうち、外挿位置から $3\sigma_{\mathrm{res}}$ 以内の範囲に DuTiP1 のヒットが存在したイベント数として定義した。ここで σ_{res} は前小節で述べたように $14.9\mu m$ である。表 4.7 に、ある代表的な Run における各セレクション段階でのイベント数を示す。なお、検出効率の統計誤差は二項分布を仮定し、次式を用いて算出した。

$$\Delta\varepsilon = \sqrt{\frac{\varepsilon(1-\varepsilon)}{N_{\mathrm{track}}}} \tag{4.11}$$

表 4.7: 検出効率算出におけるイベントセレクション（代表的な Run の例）

段階	セレクション内容	イベント数
1	全トリガー数	30,000
2	1 のうちタイムスタンプ一致	25,000
3	2 のうちトラックが再構成された数	25,000
4	端から 200 μm 以上内側かつ, ノイジーピクセル通過イベントの除外	4,556
5	3σ 以内のヒット検出 (N_{hit})	3,548
検出効率 $\varepsilon = N_{\mathrm{hit}}/N_{\mathrm{track}}$		0.778 ± 0.006

4.4.4 検出効率

前節で説明した検出効率の算出方法を用いて、同一条件で測定した 8 つの Run に対して検出効率を評価した。各 Run における検出効率および、それらの平均値を図 4.25 に示す。

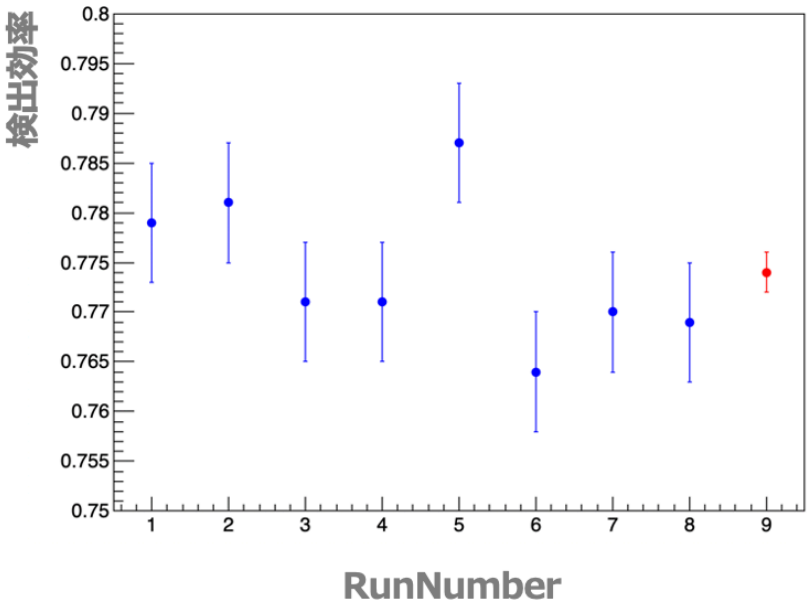


図 4.25: 各 Run における検出効率。赤点は 8 つの Run の平均値を示す。

図 4.25 に示す結果から、DuTiP1 の荷電粒子に対する検出効率 ε は

$$\varepsilon = 77.4 \pm 0.2\ \% \tag{4.12}$$

と求められた。

4.4.5 検出効率についての考察

本研究で得られた検出効率（77.4%）は、先行研究で報告されていた約 60% [22] という値と比較して大幅な改善が見られた。これは、セットアップの見直しやトリガー条件の最適化が有効に機能した結果であると考えられる。一方で、PXD アップグレードにおける要求であるとともに半導体検出器一般に期待される 99% 以上の検出効率には依然として達していない。

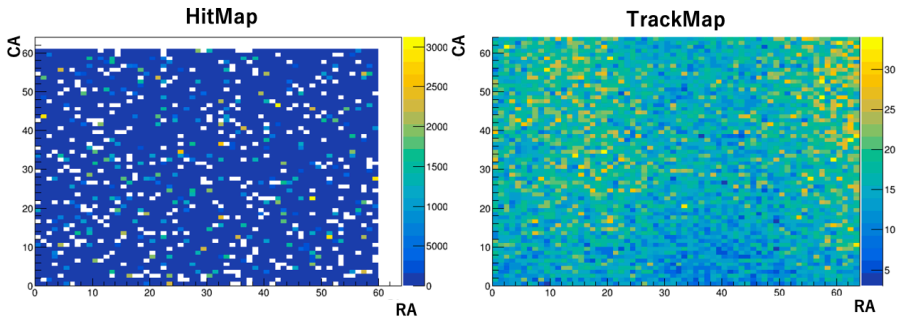


図 4.26: 合計 24 万トリガー分のヒットマップ (左) と、 外挿トラックマップ (右)

図 4.26 に 8 run 合計 24 万トリガー分の DuTiP1 ヒットマップおよび外挿マップを示す。トラックマップからは全ピクセルを粒子が通過していることが示されている一方、ヒットマップでは一度もヒットを記録していないピクセルが 1 割程度存在している。トリガー用シンチレーターと DuTiP1 の面積比

$$\frac{2.7 \times 2.7\ \mathrm{mm}^2}{5 \times 5\ \mathrm{mm}^2} \approx 0.3$$

を考慮すると、24 万トリガー中に DuTiP1 を通過する粒子数は約 80,000 個と見積もられる。ビームが一様に入射すると仮定した場合、1 ピクセルにつきヒットが見つかるイベント数の平均値は 80,000 個をピクセル数で割って 22.2 イベントである。ポアソン分布を仮定してヒット数が 0 となる確率を見積もると

$$\left(1 - \frac{1}{60 \times 60\ \mathrm{pixels}}\right)^{80{,}000} \approx 2.2 \times 10^{-10} \tag{4.13}$$

と極めて小さく、統計的には無視できる。この計算結果と実測値の乖離から、本実験環境下においてヒットを検出しないピクセル（silent pixel）が約 1 割存在することが確認された。これらの silent pixel を解析から除外した場合の、検出効率を図 4.27 に示す。

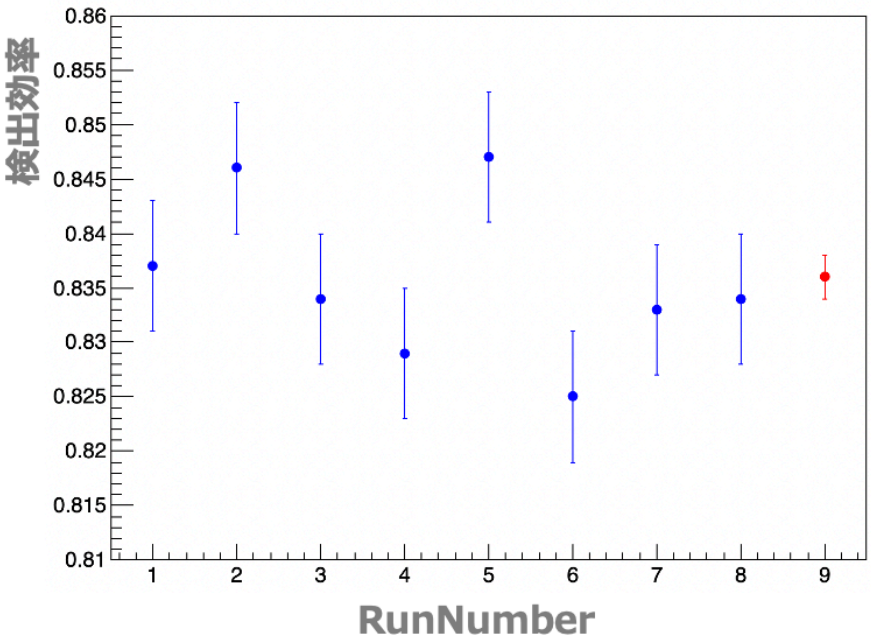


図 4.27: silent pixel を解析から除外した場合の各 Run における検出効率。赤点は 8 つの Run の平均値を示す。

この条件における検出効率は

$$\varepsilon = 83.5 \pm 0.2\ \% \tag{4.14}$$

に留まった。このことから、検出効率の低下は特定のピクセルの不具合のみに起因するものではなく、別の要因が寄与している可能性が示唆される。考えられる要因として、以下の二点が挙げられる。

1. **ピクセル内の位置依存性**: ピクセル中心部と境界付近での電荷収集効率の差により、特定の領域でヒットが欠損している可能性。

2. **閾値設定の影響**: アンプ回路の閾値設定がノイズレベルに対して相対的に高く、信号電荷の一部が閾値を下回り、ヒットとして検出されていない可能性。

本ビームテストでは、テレスコープのトラック位置分解能の制約（約 7 μm）により、ピクセル内のどの領域で検出効率が低下しているかを詳細に特定することは困難である。そこで次章では、入射位置を数 μm 程度の精度で制御可能な赤外線レーザーを用いた性能評価について述べる。レーザー照射試験により、ピクセル内の感度分布を精密に測定することで、検出効率低下の物理的要因を切り分ける。

4.4.6　ノイズについての考察

本ビームテストでは、電子ビームを入射していない条件においても DuTiP1 に多数のヒットが観測され、一部のピクセルでは高いヒット頻度が確認された。本解析では、占有率の見積もりに基づいてノイジーピクセルを定義し、それらをマスクすることで、トラックと相関のある真のヒットを抽出した。このノイズが DuTiP1 固有の問題であるかを検証するため、同一ビーム環境で使用した SOI テレスコープ（INTPIX4NA）のペデスタル σ 分布を確認した（図 4.28）。

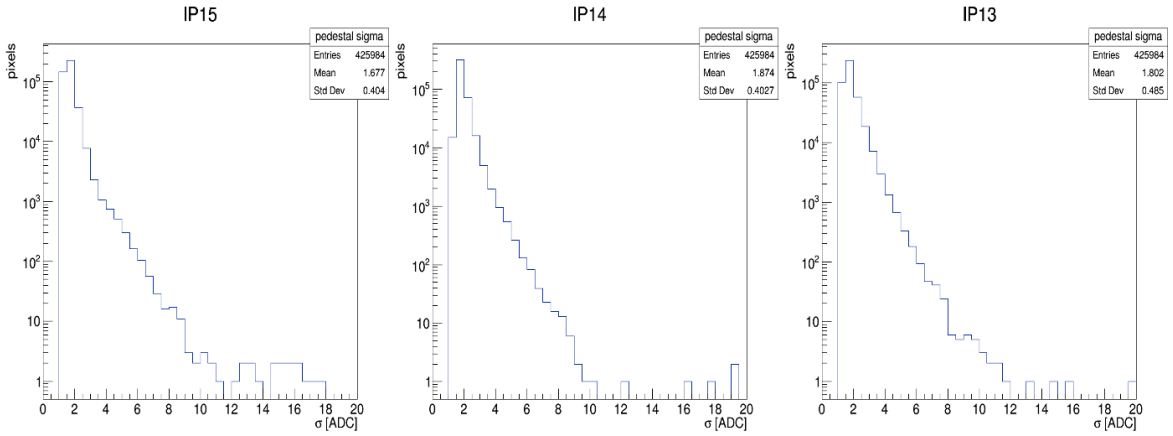


図 4.28: ペデスタル σ 分布

いずれのセンサーも σ の平均値は 1.8 程度であり、前年度のビームテスト時と比較しても顕著なノイズの増大は確認されなかった [24]。さらに、ビームテスト後に実施した β 線源測定および赤外線レーザー照射試験（いずれも実験室環境）では、同一の電源および読み出し系を用いているにもかかわらず、ビームテスト時に見られたような多数のノイズヒットは再現されなかった。

以上、本ビームテストにおいて DuTiP1 で観測されたノイジーピクセルは、センサーや電源系の恒常的な不具合によるものではなく、テストビーム実験中のみに生じたものである。一方で、INTPIX4NA では同様の挙動が観測されなかった。DuTiP1 はバイナ

リ読み出し方式であるため、テストビーム実験時に DuTiP1 を載せたサブボードまたは SEABAS2 ボードにのみ雑音の混入があり、それがヒットとして顕在化したものと考えられる。

第5章　赤外線レーザーによる検出効率の評価

5.1　赤外線レーザーによる測定原理

シリコンセンサーにおいて、レーザーを用いて荷電粒子の通過を擬似的に再現するためには、電荷生成がセンサーの厚さ方向全体にわたって生じることが重要である。可視光はシリコン中での吸収係数が大きく、光の大部分が表面近傍で吸収されるのに対し、波長の長い赤外線レーザーはシリコン内部まで深く浸透し、センサーのバルク領域全体にわたる電荷生成を可能にする。

シリコン中の光吸収係数 α は入射光の波長に強く依存するため、適切な波長の選定が不可欠である。図 5.1 にシリコンの光吸収係数 α の波長依存性を示す。

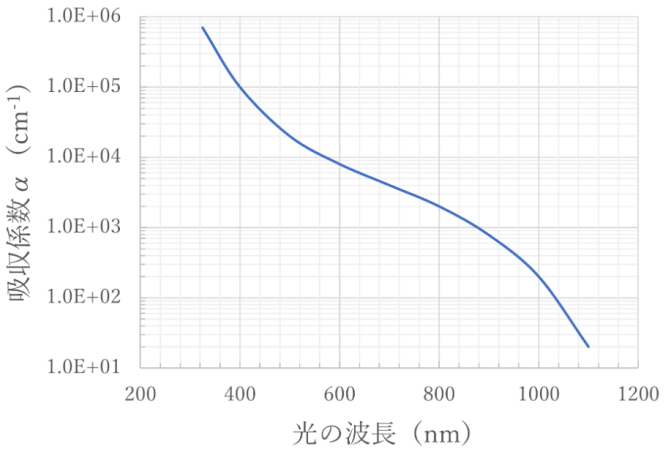


図 5.1: シリコンの光吸収係数 α の波長依存性 [25]

シリコン表面から深さ x における光強度 $I(x)$ は、入射光強度を I_0 とすると次式で表される。

$$I(x) = I_0 \exp(-\alpha x) \tag{5.1}$$

DuTiP1 のチップ厚は $d = 310$ μm である。本実験で用いた波長 1064 nm における吸収係数は、図 5.1 より $\alpha \approx 50$ cm^{-1} と読み取れる。このとき、センサー背面に到達する光強度 $I(d)$ は

$$\begin{aligned} I(d) &= I_0 \exp(-50 \text{ cm}^{-1} \times 0.031 \text{ cm}) \\ &\approx 0.21\, I_0 \end{aligned} \tag{5.2}$$

となり、入射光の約 21% がセンサー背面まで到達することが分かる。これは残りの光がセンサー内部で吸収され、電荷生成が厚さ方向全体に分布して生じていることを意味する。

以上より、波長 1064 nm の赤外線レーザーを用いることで、厚さ 310 μm のシリコンセンサー内部において、荷電粒子の通過に近いバルク全体にわたる電荷生成状態を再現できると考えられる。

5.2　赤外線レーザーシステム

本研究では、KEK ATLAS/LGAD グループが所有する赤外線レーザーシステムを用い、DuTiP1 の検出効率評価を実施した。本システムの外観を図 5.2 に示す。

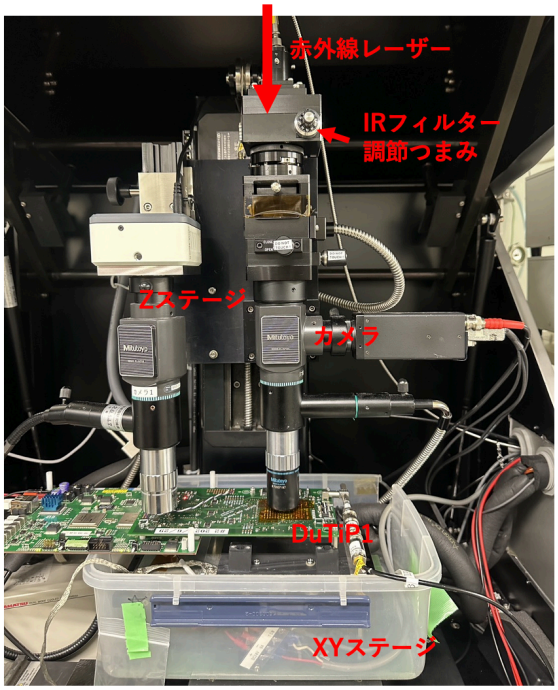


図 5.2: 実験に用いた赤外線レーザーシステムの構成

本研究で用いた波長 1064 nm のレーザー光は顕微光学系を介してセンサー表面に集光され、焦点におけるスポットサイズは 2 μm 角である。これは DuTiP1 のピクセルサイズ（45 μm × 45 μm）に対して十分に小さく、ピクセル内の感度分布を詳細に走査することが可能である。

レーザー強度は、光路に挿入した IR フィルターの設定角を変化させ、透過率を制御することで調整した。照射位置の確認には、顕微鏡に取り付けられたカメラおよび視野照明を用い、センサー表面のパターンを基準として XY 方向および Z 方向（焦点）の調整を行った。センサーを固定する電動ステージは 0.1 μm 単位での位置制御が可能であり、高精度な 2 次元スキャン測定を実現している。

5.3　レーザー測定の項目

本試験では、ビームテストにおいて観測された 16% のヒット損失の要因を特定するため、チップの表面および裏面から赤外線レーザーを照射し、ピクセル応答の特性を詳細に評価する。

5.3.1　表面照射と裏面照射の特徴

表面照射および裏面照射は、照射領域の制約と照射位置の決定精度に関して相補的である。

表面照射では、回路層および金属配線がチップ表面に形成されているため、シリコン層へ光が到達できる領域が物理的に制限される。レーザー光はセンスノード直上に設けられた開口部を通してのみ入射するが、その中心付近にはアルミ配線や電極が存在するため、入射光の一部は反射あるいは遮蔽される。設計レイアウトに基づく幾何学的な見積もりから、約 82% の入射光がシリコン層へ到達し得ると見積もられる。このような遮蔽構造のため、表面照射ではレーザー強度を調整しても、ピクセルに対して 1 MIP 通過時と等価な電荷量を安定に生成することは困難である。したがって、本実験では、表面照射はアナログ回路部分の評価には適さず、主としてデジタル回路部の動作確認に用いる。一方で表面照射の利点は、顕微鏡下で回路構造を直接観察しながら照射位置を特定できる点にあり、特定のピクセルを狙った系統的な応答比較が可能である。

それに対して、裏面照射では表面配線層による遮蔽を受けないため、ピクセル内の任意の位置に電荷を生成できる利点がある。しかし、裏面側にはピクセル位置を示す目印が存在しないため、照射スポットがどのピクセル、あるいはピクセル内のどの位置（中心部か境界部か）に対応しているかをその場で正確に特定することは困難である。すなわち、裏面照射は照射位置の自由度は高いが位置決定精度に制約があるという特徴を持つ。

5.3.2　評価の手順

まず、ピクセル構造を目視可能な表面照射を行い、ピクセル中心部の開口部へレーザーを照射した。これにより、デジタル回路部およびヒット判定ロジックが設計通りに応答し、基本的な信号処理能力を有していることを確認した。

次に、検出効率評価の前提条件として、レーザー強度を 1 MIP 相当の生成電荷量へと調整するキャリブレーションを行った。DuTiP1 はデジタル出力のみを有するセンサーであり、内部の生成電荷量を直接モニターすることができない。そのため、アナログ電荷量を読み出し可能で DuTiP1 と同じ厚みを持つ INTPIX4NA を用い、1 MIP 相当の応答が得られるよう IR フィルターの設定値を決定した。

最後に、決定した 1 MIP 相当のレーザー強度を用い、裏面照射によるピクセル内走査（スキャン測定）を行った。裏面照射では配線層による遮蔽の影響を受けないため、ピクセル境界部を含む広範囲で照射位置を細かく変化させ、検出効率のピクセル内位置依存性を詳細に評価した。

5.4　実験セットアップ

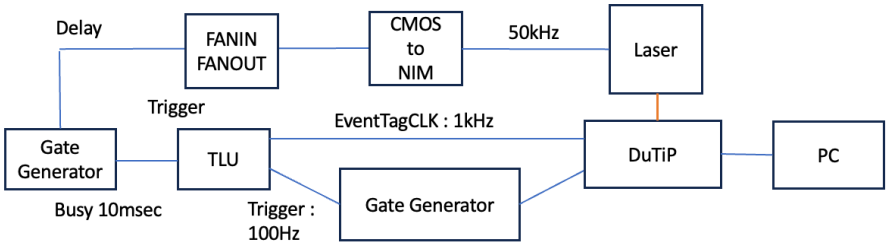


図 5.3: レーザー照射試験のセットアップ

本試験に用いた赤外線レーザーは、装置の仕様によりパルスレーザー発光の周波数を 50 kHz 未満に設定することができない。一方、DuTiP1 のデータ取得システム（DAQ）は、本研究で使用したファームウェアの制約により、高周波数のトリガー入力に対してデータ転送が不安定となる課題があった。安定したデータ取得が可能なトリガー周波数は 100 Hz オーダーに限定される。

そこで本研究では、レーザーから出力される同期信号を基準とし，この信号をゲートジェネレーターに入力することでトリガー信号を時間的に拡張するとともに、適切な遅延を付加した Busy 信号を生成した。この Busy 信号を TLU に入力することでトリガー入力を抑制し、DuTiP1 が安定に動作可能な 100Hz のトリガーレートでデータ取得を行った。

5.5　表面照射によるデジタル回路の動作確認

DuTiP1 のピクセル表面には、センスノードに接続された 2.7 μm × 2.7 μm の開口部が設けられている。本試験では、スポットサイズ約 2 μm の赤外線レーザーを開口部へ照射し、検出効率の評価を行った。

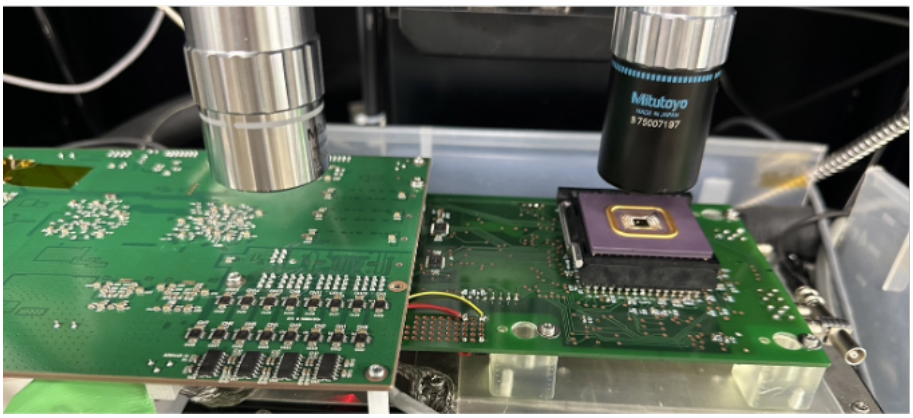


図 5.4: 表面照射のセットアップ写真

図 5.5 は、座標 $(\mathrm{RA}, \mathrm{CA}) = (20, 10)$ のピクセルに対して固定照射を行った際のヒットマップである。本測定における総トリガー数は 997 事象であり、そのうち 996 事象でヒットが検出された。これにより、本照射条件下における検出効率は 99.9%（996/997）と極めて高い値を示した。

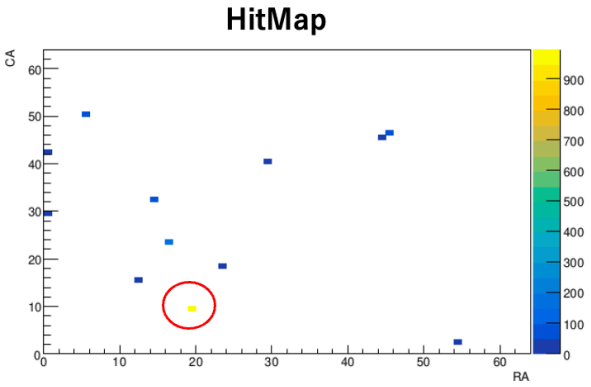


図 5.5: (RA, CA) = (20, 10) にレーザーを照射した時のヒットマップ

表面照射測定は、生成電荷量の不確かさを考慮し、デジタル回路の動作検証に特化して実施した。試験の結果、ヒット判定およびカウンタ機能が安定して動作することを確認した。この結果は、少なくともデジタル回路レベルにおいて、ビームテストで見られたヒット損失の主要因が存在しないことを示唆している。

5.6　1 mip キャリブレーション

レーザーの裏面照射試験において DuTiP1 に 1 MIP が通過した場合と等価な電荷量を生成するため、レーザー強度のキャリブレーションを行った。本研究では、アナログ電荷量を直接読み出すことが可能な積分型ピクセル検出器 INTPIX4NA を用いて、1 MIP に相当するレーザー光量を決定した。INTPIX4NA は積分型検出器であり、複数のパルスが入射すると電荷が積算される。そのため、1 イベントの積分期間内にレーザーが 1 発のみ入射するよう、タイミングの最適化を図った。具体的には、リセット幅 20 μs に基づき、トリガー周波数を 50 kHz に設定した。その上で、ディレイ回路を用いてレーザーの発光タイミングを積分期間内に調整した。セットアップおよび信号のタイミングチャートを図 5.6、図 5.7 にそれぞれ示す。

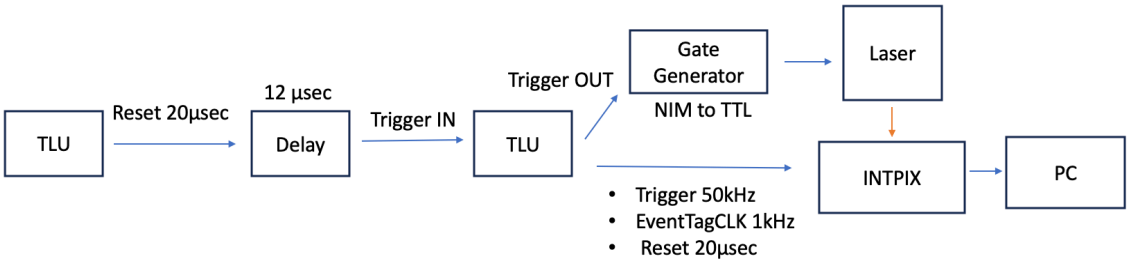


図 5.6: INTPIX4NA を用いたレーザー光量調整のセットアップ図

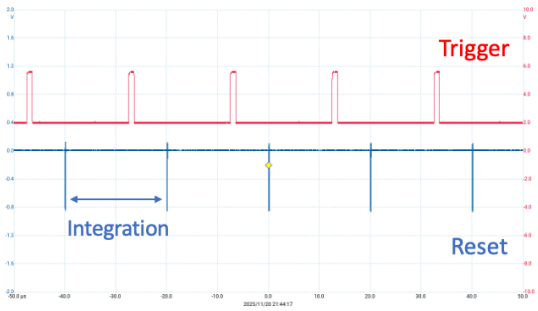


図 5.7: オシロスコープにより観測されたトリガー信号と積分タイミング。パルスレーザーが積分期間内に 1 回のみ入るよう調整されている。

1 MIP に相当する電荷量の基準値として、先行研究のビームテスト結果を用いた。完全空乏化条件（バイアス電圧 −30 V）における INTPIX4NA のクラスタチャージはおよそ 350–375 [ADC] であることが報告されている [24]。この値を基準として、INTPIX4NA におけるレーザー照射時のクラスタチャージが同程度となるよう、IR フィルターを用いてレーザー強度を調整した。

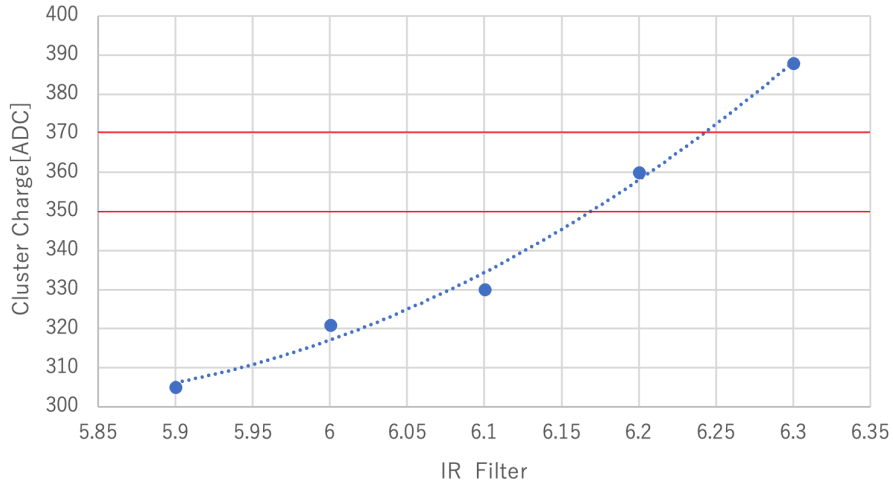


図 5.8: フィルター設定値に対するクラスタチャージの応答曲線。赤線は 1 MIP 相当の基準値（350–370 ADC）を示す。

図 5.8 に、フィルターの設定値に対するクラスタチャージの変化を示す。フィルター設定値 6.2 において、クラスタチャージが約 350–375 [ADC] となることが確認された。以上より、本研究では IR フィルター設定値 6.2 を 1 MIP 相当のレーザー強度として採用し、以降のレーザー測定を行った。

5.7 裏面照射による検出効率の位置依存性の評価

表面照射による測定から、DuTiP1 のデジタル回路は正常に動作していることが確認された。一方で、ビームテストでは 16 % のヒット欠損が観測されており、その要因はデジタル回路以外、すなわち電荷生成・収集過程に起因する可能性が高い。そこで本節では、裏面照射を用いてピクセル内の検出効率およびクラスタ特性を詳細に評価した。

5.7.1 裏面照射の測定条件

裏面照射では、表面の回路層による遮蔽の影響を受けないため、ピクセル内の任意の位置に電荷を生成することができる。本測定では、照射位置を 5 μm 刻みで走査し、検出効率の位置依存性を評価した。各照射点においては 1 run あたり 200 イベントのデータを取得した。照射位置の再現性は 1 μm 程度であり、ビームテストのトラック位置分解能（$\sigma_{\mathrm{track}} \sim 7$ μm）に対して十分に高い精度を有している。

一方、裏面には照射位置を直接特定できる構造が存在しないため、レーザー照射点とピクセルの相対位置は、取得されたヒットマップおよびクラスタ分布から事後的に推定した。

5.7.2 検出効率の位置依存性

測定により得られた代表的なピクセル $(RA, CA) = (10, 8)$ における検出効率分布を図 5.9 に示す。図中の赤破線は 45 μm 角のピクセル境界を示しており、黄色の領域は検出効

率が 100 % 、白色の領域は 0 % の領域をそれぞれ表している。

この分布から、検出効率はピクセル内で一様ではなく、中央部において検出効率が著しく低下している不感領域が存在することが確認された。

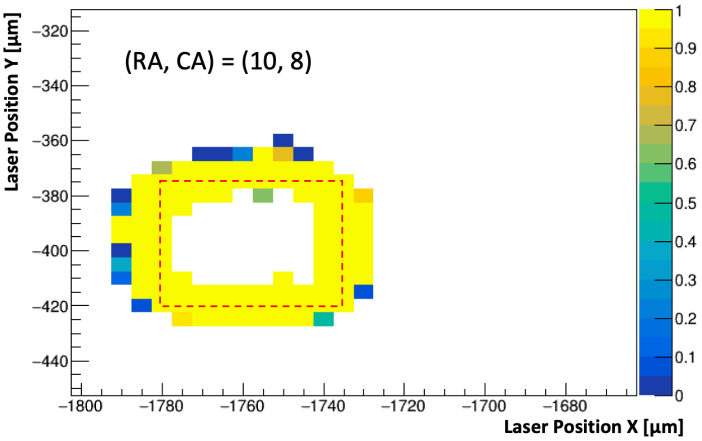


図 5.9: 単一ピクセル $(RA, CA) = (10, 8)$ における検出効率の場所依存性。中央部に感度の低い領域が観測された。

同様の測定を隣接する 3×3 ピクセル領域に対して行った。その結果を図 5.10 に示す。不感領域のパターンは全 9 ピクセルに共通して現れており、特定のピクセル固有の欠陥ではなく、チップ設計あるいはプロセスに起因する構造的な特徴であることが示唆される。

テストビーム実験ではトラック位置の特定精度に制約があり、このようなピクセル内の感度不均一性を直接観測することは困難であったが、裏面レーザースキャンを用いることにより可視化することに成功した。

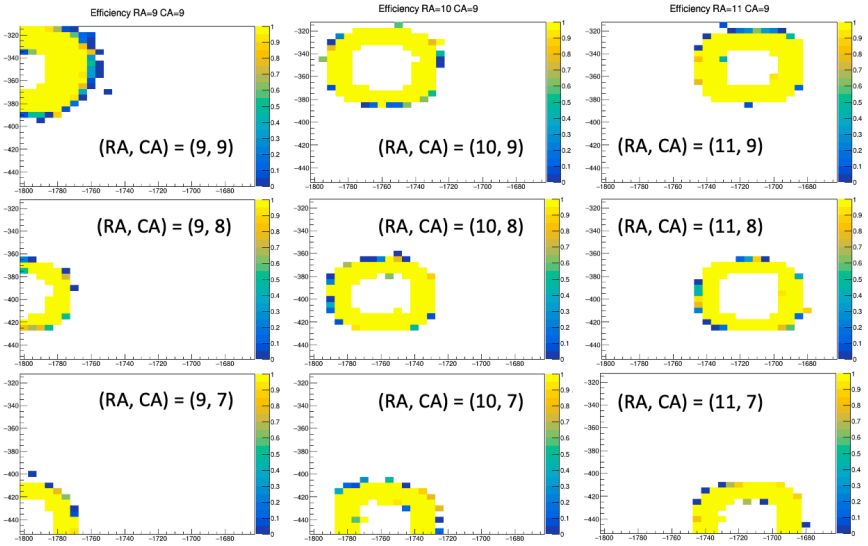


図 5.10: 3×3 ピクセルにおける検出効率マップ

5.7.3　平均クラスタサイズの位置依存性

次に、レーザー照射位置に対する平均クラスタサイズの分布を評価した。その結果を図 5.11 に示す。

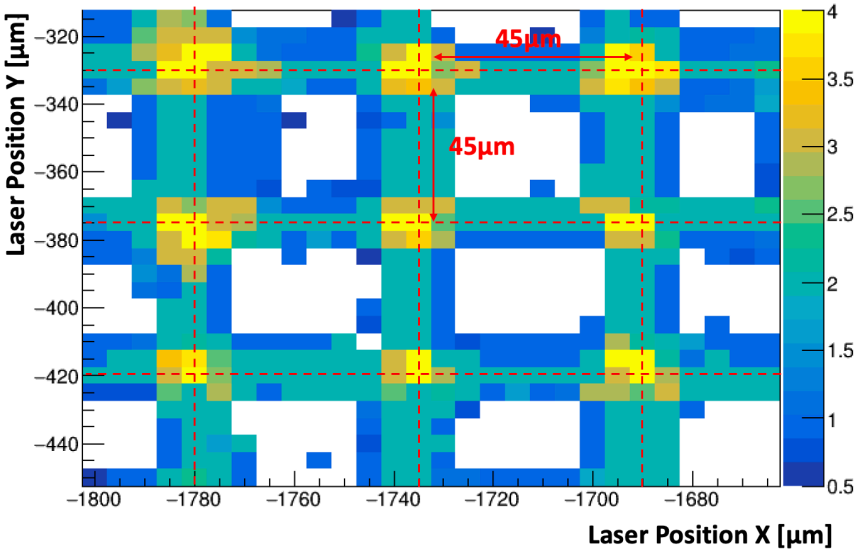


図 5.11: レーザー照射位置に対するクラスタサイズマップ

平均クラスタサイズは、検出効率が 100 % であると仮定した場合に、生成電荷がいくつのピクセルに共有されているかを表す指標である。例えば平均クラスタサイズが 2 の場合、隣接する 2 ピクセルで電荷が共有されて検出されていることを意味する。

一方、平均クラスタサイズが 1 を下回る領域は、実効的な検出効率が 100 % に達していない不感領域に対応する。図中の赤破線はクラスタサイズの極大値（∼ 4）を結んだものであり、ピクセル境界と一致していることが分かる。

測定の結果、ピクセル境界付近では期待通りチャージシェアによる複数ヒットが観測された。一方で、ピクセル中心付近に平均クラスタサイズが 0.5 を下回る領域が存在しており、これらの領域では生成電荷が信号として検出されていないことが明らかになった。

5.7.4　ピクセル内不感領域の評価

チップ内における性能の均一性を評価するため、図 5.12 に示すように、マトリクス全体から 9 箇所の代表的な領域を選定し、サンプリング測定を実施した行アドレス（RA）および列アドレス（CA）がそれぞれ 10, 30, 50 となる位置付近を出発点とした約 3×3 ピクセルのブロックをスキャン領域とした。

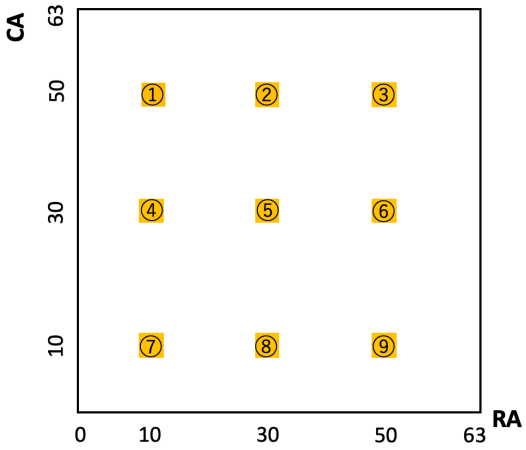


図 5.12: サンプリング測定を実施した 9 箇所の領域 (RA, CA)。チップ全体を網羅するように格子状に配置した。

単一ピクセル応答に基づく面積比評価

まず、各サンプリング領域において、個々のピクセルが単独で信号を検出できた地点の割合を算出した。図 5.13 は、ピクセル面積に対する非検出領域の割合を示している。解析の結果、各領域でばらつきは見られるものの、全 40 ピクセルの平均で約 60% の領域が不感領域として算出された。

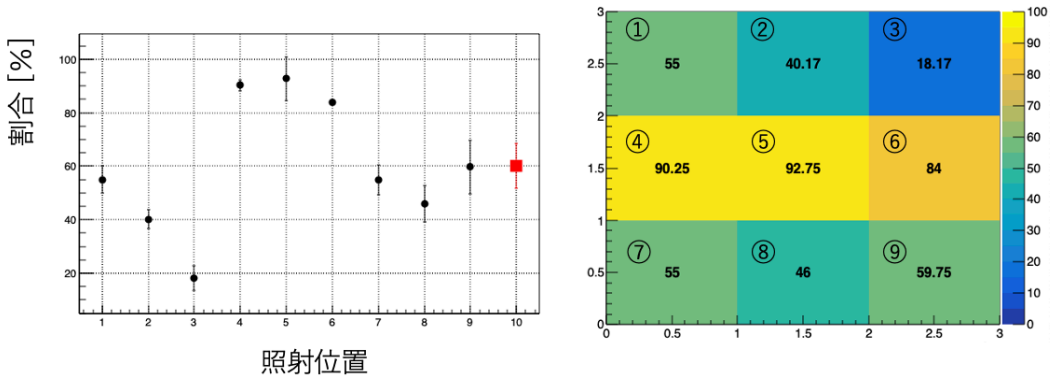


図 5.13: 各サンプリング領域における単一ピクセル応答に基づく不感領域の割合。数値はピクセル面積に対する非検出領域のパーセンテージを示す。左図の赤点は 9 領域の平均値を示したものである。

詳細にデータを確認したところ、照射位置のピクセルではヒットが検出されない場合でも、隣接ピクセルでは安定してヒットが観測される事象が多数存在した。DuTiP は最終的に 50 μm まで薄くしたものを開発する計画があり、ALPIDE アンプはそれに対応した

設計であるのに対し、DuTiP1 は 310μm 厚であり、それに合わせたレーザー強度では生成電荷量が約 6 倍超過した状態となる。アンプの応答特性のためヒットが出力されない状態となる一方で、隣接ピクセルにはチャージシェアによって回路が処理可能な電荷量が分配されたためと考えられる。

クラスタ判定に基づく実効的な不感領域の特定

そこで次に、隣接ピクセルを含めたクラスタの有無を判定基準とし、チップ全体としての実効的な不感領域を評価した。図 5.14 に、各サンプリング領域におけるクラスタサイズ分布を示す。

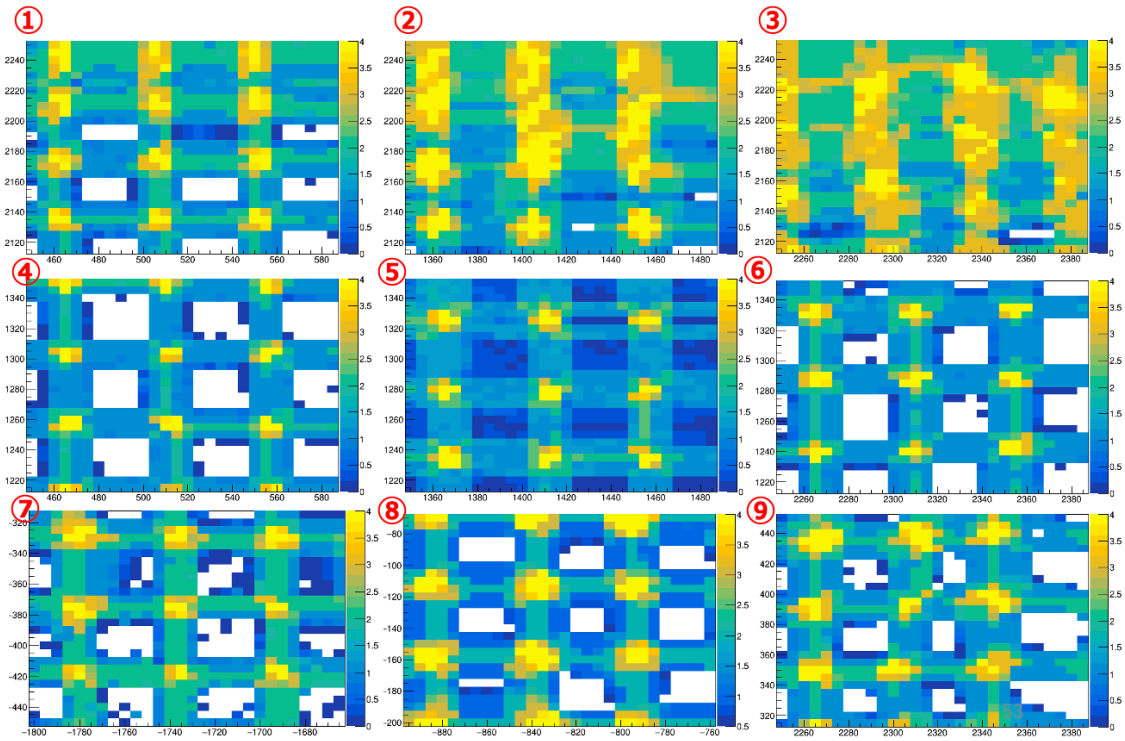


図 5.14: 各サンプリング領域におけるクラスタサイズ分布

本解析では、各照射点につき 200 イベントの測定を行い、その中でクラスタが一度も検出されなかった照射点を検出効率 0 % の地点と定義した。図 5.15 に、各サンプリング領域におけるこの効率 0 % の地点の割合（面積比）を示す。なお、⑤ の領域には Noisy pixel が含まれていたため、当該領域は評価から除外した。

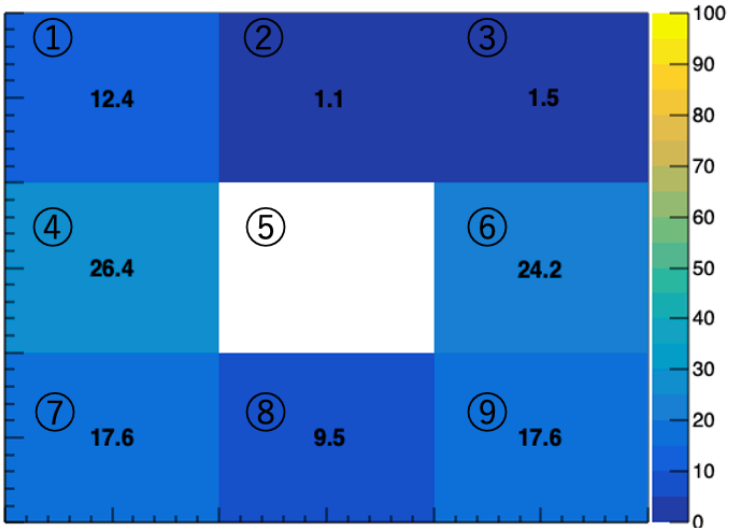


図 5.15: 各サンプリング領域におけるクラスタサイズ分布に基づく不感領域の割合。⑤の領域にはノイジーピクセルが含まれていたため除外した。

その結果、クラスタが全く見つからない完全な不感領域の割合は、評価対象とした領域の平均で約 13.8% であった。

この約 13.8% の領域は、チャージシェアを考慮してもなお信号が検出されない領域であり、電荷収集過程そのものに起因する実効的な不感領域であると解釈できる。

5.7.5 バイアス電圧依存性

センサーに逆バイアス電圧 V_{bias} を印加した際に形成される空乏層の厚み d は、センサーの抵抗率や内蔵電位に依存して変化する。先行研究 [22] によれば、この関係は次式のようにモデル化されている。

$$d = \sqrt{2\rho\epsilon\mu_e(V_{\mathrm{bias}} + \phi_{\mathrm{bi}})} \tag{5.3}$$

ここで ρ は抵抗率（5780–7930 $\Omega \cdot \mathrm{cm}$）、ϵ は誘電率（1.05 pF/cm）、μ_e は電子易動度（500 (cm/s)/(V/cm)）、ϕ_{bi} は内蔵電位（0.7 V）を表す。図 5.16 に、同研究により V_{bias} を 0 V から 200 V まで変化させた際の空乏層厚の見積もりを示す。

この見積もりでは、抵抗率の個体差による幅を考慮し、各バイアス電圧に対して空乏層厚の上限値および下限値が算出されている。抵抗率の下限値を用いた場合においても、バイアス電圧が 150 V のときに、空乏層厚はセンサーの物理的厚みである 310 μm に達する。すなわち、$V_{\mathrm{bias}} = -150$ V 程度の印加により、センサー全域が完全空乏化（フルディプリート）状態となることが示されている。本研究における DuTiP1 の性能評価は、原則としてこの先行研究の知見に基づき、$V_{\mathrm{bias}} = -150$ V を基本条件として実施した。

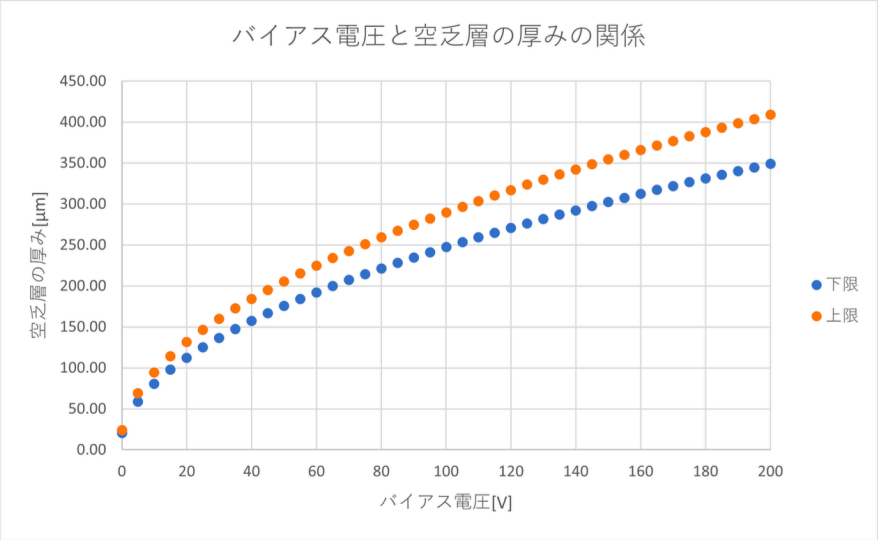


図 5.16: バイアス電圧に対する空乏層の厚みの見積り [22]

生成電荷量がピクセル応答に与える影響を調べるため、同一の照射領域（図 5.12 の ⑦）において、センサーバイアス電圧を − 150 V から − 17 V まで段階的に変化させた測定を行った。各電圧における見積もり空乏層厚は、それぞれ約 300, 250, 200, 150, 100 μm である。

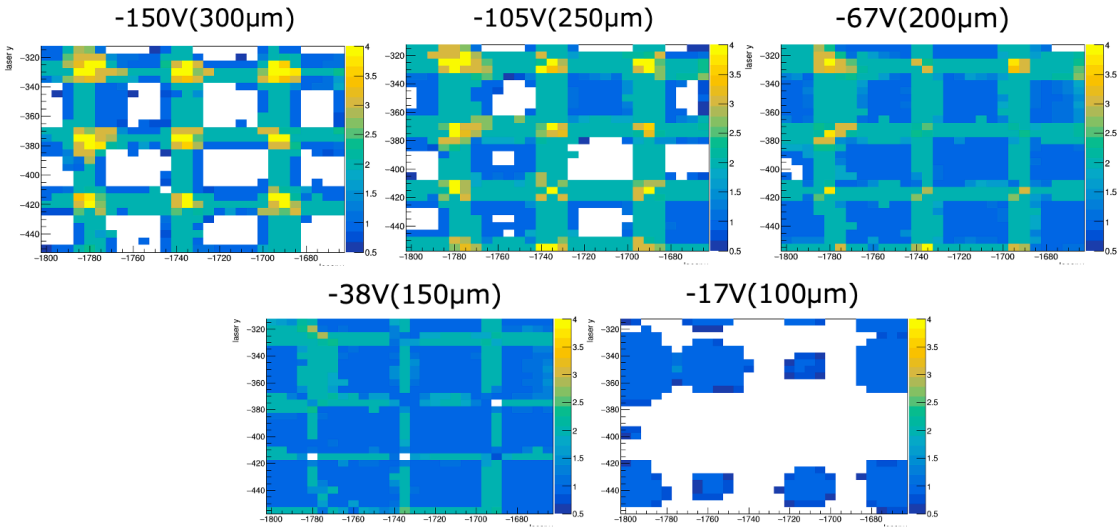


図 5.17: バイアス電圧ごとのクラスタサイズ分布

各条件におけるクラスタサイズ分布を図 5.17 に示す。測定の結果、バイアス電圧を下げて空乏層を狭くするにつれて、ピクセル中心付近の不感領域が解消し、検出効率が回復する傾向が確認された。これは、空乏層厚の減少に伴い生成電荷の総量が抑えられ、ピクセル中心部への照射においてもアンプが飽和せずに正常な信号処理が行えるようになった

ためであると考えられる。

一方で、さらに空乏層厚を減少させると、ピクセル境界付近から再び検出効率が低下する様子が観測された。これは、生成電荷量が減少したことで、チャージシェアによって電荷が分散されるピクセル境界部において、各ピクセルの信号量が検出閾値を下回ったためと推測される。

以上の結果は、本センサーにおいて、高バイアス電圧（完全空乏化状態）でのピクセル中心部の不感領域が、物理的な電荷収集の失敗ではなく、過大信号による読み出し回路の動作限界に起因していることを示唆している。

第6章　レーザー試験とテストビーム実験の結果の比較

本章では、裏面レーザー照射によって明らかとなったピクセル内不感領域の割合と、テストビーム実験における検出効率の結果を比較し、両者の対応関係について考察を行う。

裏面レーザー照射による測定では、ピクセル内の照射位置を走査した結果、クラスタが全く検出されない領域が、本来有感であるべきピクセル面積全体に対して約 13.8% 存在することが明らかとなった。これらの領域は、チャージシェアを考慮してもなお、いずれのピクセルにおいても信号が検出されない領域であり、電荷収集過程そのものに起因する実効的な不感領域であると解釈できる。

テストビーム実験においては、全体の約 12% に相当する Noisy pixel が存在すると同時に、Run 全体を通して一度もヒットを検出しなかった Silent pixel が約 10% 存在した。テストビーム実験終了後に、富士実験棟で DuTiP1 と信号処理電子回路および DAQ 用 PC の一式を再設置して、レーザーポインターや $^{90}\mathrm{S_r}$ チェッキングソースが発する β 線を用いて DuTiP1 の応答を調べたところ、これら Noisy pixel や Silent pixel は再現せず、妥当なレートでピクセルヒットが見出されることがわかった。

そこで、テストビーム実験のデータ解析において、再現不可能な振る舞いをした Noisy pixel と Silent pixel を除き、残りの有感領域の約 8 割を占めるピクセルを用いて電子通過に対する検出効率を算出したところ、約 84% となった。つまり ineffiiency は約 16% であり、レーザー試験で見出されたピクセル内の不感領域の面積比約 13.8% は不感部分のほとんどを説明していることがわかった。

したがって、テストビーム実験における不感部分は、センサー厚みを 50μm まで薄くした場合を想定して設計した ALPIDE 型アンプに、DuTiP1 の厚みのため 6 倍大きな信号電荷が 1 つのピクセルに集中して発生したとき、過大な入力があったときのアンプの応答特性のためにヒットが出力されない状況に陥ったことによるものが支配的であると考えられる。電子通過の検出効率約 84% はレーザー試験で不感領域を除いた約 86% に対して約 98%にあたり、信号電荷の大きさとアンプの特性の組み合わせが正常に信号パルスを出力してディスクリミネーターを ON にするよう条件を調整できれば、他の半導体ピクセル検出器と同様に荷電粒子の通過に対して高い検出効率を示すことが期待できる。

第7章　まとめ

Belle Ⅱ 実験では、新物理探索の精度向上を目的として、SuperKEKB 加速器のルミノシティを大幅に向上させるアップグレード計画が検討されている。高ルミノシティ化に伴い、背景放射線の大幅な増加が避け得ないことが予想されており、衝突点近傍に配置される崩壊点検出器には、極めて高い耐放射線性と高速な信号処理能力が求められる。このような要求を満たす次世代検出器候補として、現行の DEPFET 型ピクセル検出器（PXD）に代わる新方式として、DuTiP（Dual Timer Pixel）センサーの研究開発が進められている。

本研究では、その初期試作チップである DuTiP1 に対し、荷電粒子に対する位置分解能および検出効率の評価を行うことで、実用化に向けた性能検証と課題の抽出を目的とした。

KEK AR テストビームラインにおける 5 GeV 電子ビームを用いたビームテストを実施し、SOI テレスコープによって再構成したトラック情報を基準として DuTiP1 のヒット応答を評価した。その結果、残差分布から見積もられた DuTiP1 の位置分解能は 13.2 μm であった。アップグレード要件である 15 μm 以下を十分に満たしており、DuTiP1 が崩壊点検出器として十分な位置測定能力を有していることを実証した。

一方、検出効率については Noisy pixel および Silent pixel の両方を除外して再評価を行うと約 84% であり、先行研究で報告されていた約 60% と比較すると改善が見られたものの、目標とされる 99% 以上には達しなかった。この要因を明らかにするため、赤外線レーザーを用いたピクセル内の感度分布評価を実施した。その結果、以下の 2 点の重要な知見が得られた。

第一に、単一ピクセル応答において観測された広大な感度低下領域（不感領域 約 60%）は、アンプのダイナミックレンジを超える過剰な電荷生成によって、アンプの応答特性のためヒットが出力されない状況に陥ったことによるものが支配的である。これはセンサー層が設計想定の 6 倍の厚さ（300 μm）であることに由来する。 第二に、チャージシェアによる隣接ピクセルでの検出を含めてもなおヒットが得られない領域が、面積比で約 13.8% 存在することを特定した。この値は、ビームテストにおけるヒット欠損（約 16%）と極めて近く、ピクセル中央部に存在する不感領域が検出効率低下の本質的な要因であることを明らかにした。

以上の結果より、DuTiP1 は位置分解能の観点では PXD アップグレード要件を満たす一方で、検出効率については依然として課題が残されていることが明らかとなった。今後は、センサー層の薄層化により、適切な生成電荷量を得て、主に ALPIDE アンプに供給する電圧セットの最適化によるアナログ回路の応答改善を図ることで、要求性能である検出効率 99% 以上を実証する必要がある。

謝辞

本研究を進めるにあたり、多くの方々にご支援とご指導を賜りました。

まず、指導教員の宮林謙吉先生に深く感謝申し上げます。本研究を進めるにあたり、多くのご助言と丁寧なご指導を賜りました。またスライドやポスターの作成に際しても何度も添削していただきました。また、研究室の下村真弥先生、蜂谷崇先生、住澤一高先生に感謝申し上げます。研究室ミーティングを通じて貴重なご助言を頂きました。

SOI グループの皆様にも深く感謝申し上げます。都立産技高専の山田美帆先生、KEK の坪山透先生、石川明正先生、幅淳二先生にはテストビーム実験の準備からレーザー試験の解析まで、多大なるご支援と貴重なご助言を頂戴しました。そのおかげで研究の方向性を見失うことなく進めることができました。特に山田先生には、 KEK での実験および生活面においても温かいご支援をいただきました。赤外線レーザー試験中は夜遅くまで実験にお付き合いいただきました。SOI グループの皆様の協力があったからこそ、研究を進めることができました。

また、赤外線レーザーシステムをお貸しくださった KEK の中村 浩二先生にも深く感謝申し上げます。中村先生が開発されたレーザーの自動スキャンシステムのおかげで、 短時間で重要なデータがたくさん取れるようになりました。その結果、検出効率低下の原因解明にまで辿り着くことができました。この場を借りて、改めて感謝申し上げます。筑波大生の皆様も、装置の使い方を丁寧に教えてくださり、ありがとうございました。

KEK の出張に際し、費用を負担してくださった KEK 素核研・Belle グループの皆様、また出張手続きをはじめとする多くの事務手続きを行ってくださった奈良女子大学の物理学系事務担当の熊谷有加様に深く感謝申し上げます。出張の多い二年間の研究生活を無事に終えることができましたのは、皆様のご支援のおかげです。

三年間の研究生活を共に過ごした研究室同期の池本さん、石垣さん、高村さん、森本さんにも心より感謝申し上げます。皆様と共に過ごした日々はかけがえのない財産です。先輩・後輩の皆様にも支えられ、充実した研究生活を送ることができました。また、KEK の学生の皆様にも感謝申し上げます。1 人での KEK 出張に不安もありましたが、食事や交流の機会を設けてくださり、大きな心の支えとなりました。

最後に、これまで支え続けてくれた家族に感謝を申し上げます。不自由なく学生生活を送ることができたのは両親のおかげです。日々の生活を支え続けてくれ、今日まで見守ってくれたことに感謝してもしきれません。

これまで支えていただいた皆様に感謝申し上げますとともに、謝辞の結びとさせていただきます。ありがとうございました。

付 録A　ALPIDEアンプ回路のパラメータ

ALPIDE アンプ回路のパラメータ一覧を表 A.1 に示す。 Li パラメータは先行研究により最適化されたパラメータのことを指す [21]。 Sim はシミュレーションにより最適とされたパラメータである。

表 A.1: ALPIDE アンプ回路のパラメータ一覧。単位は [mV] である。表中の 1〜6 は，Li および Sim パラメータを基準として、一部の電圧値のみを変更した設定を示している。

Parameter	**Li**	**Sim**	**1**	**2**	**3**	**4**	**5**	**6**
VDIODE	1300	700	1300	700	1300	1300	1300	700
VREF RESET	750	1096	750	1096	750	1096	600	750
VREF AMP	1166	1166	1166	1166	1166	1166	1166	1166
VCASP	50	400	50	400	400	50	50	50
VCLIP	308	300	308	300	308	308	308	308
VREF SHP	1140	1140	1140	1140	1140	1140	1140	1140
VCASN	1500	700	1100	1100	1500	1500	1500	1500
VREF DB	1166	1166	1166	1166	1166	1166	1166	1166
VCASN2	1800	1000	1800	1000	1800	1800	1800	1800

また、ビームテストにおいて各アンプパラメータ設定で測定した検出効率を図 A.1 に示す。各 Run では 10000 イベントのデータを用いて評価を行った。Run 番号と対応する ALPIDE アンプ回路のパラメータ設定を表 A.2 に示す。

表 A.2: Run 番号と ALPIDE アンプ回路のパラメータ

Run 番号	**ALPIDE アンプパラメータ**	検出効率
1	sim	12.9 ± 0.9
2	1	83.5 ± 1.0
3	2	12.0 ± 0.9
4	3	83.5 ± 1.0
5	4	78.7 ± 1.2
6	5	0.6 ± 0.2
7	6	22.3 ± 1.2

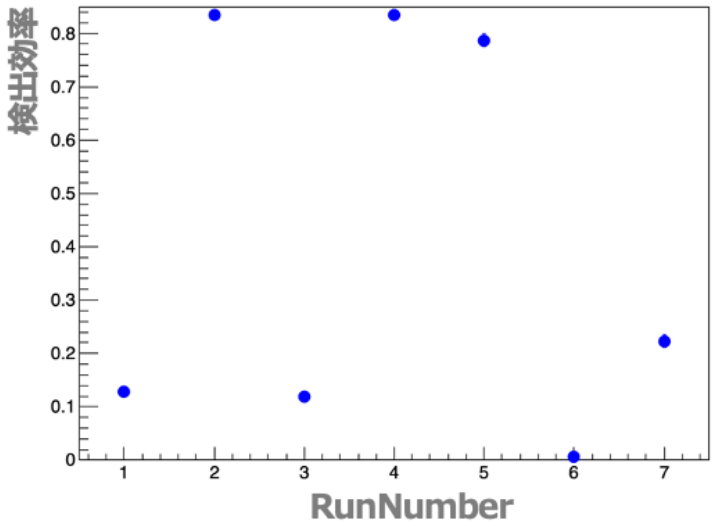


図 A.1: ALPIDE アンプ回路のパラメータを変化させた際の検出効率。Noisy および Silent Pixel は解析か除外している。パラメータ 1、3、4 では Li パラメータと同程度の検出効率が得られている一方、それ以外の設定では検出効率が著しく低下していることが確認できる。

この結果から、ALPIDE アンプ回路においては、一部の電圧パラメータが検出効率に対して支配的な役割を果たしていることが示唆される。

参考文献

[1] SuperKEKB Design Report https://kds.kek.jp/event/15914/

[2] KEK, "SuperKEKB プロジェクト全体図"
https://www.kek.jp/ja/about/pr/image/12548

[3] News@KEK,"ナノビームで目指す世界の頂点"
https://www2.kek.jp/ja/newskek/2010/marapr/SuperKEKB.html

[4] T. Abe et al,"Belle II Technical Design Report", arXiv:1011.0352[physics]

[5] B. Paschen et al, "Belle II pixel detector: Performance of final DEPFET modules"

[6] 森井友子、樋口岳雄,"Belle II シリコン崩壊点検出器 (SVD)"
https://www.jahep.org/hepnews/2016/16-2-2-BelleIISVD.pdf

[7] 谷口七重, "Belle II CDC"
https://www.jahep.org/hepnews/2013/13-4-3-BelleII_CDC.pdf

[8] 第 7 回:TOP カウンター (Belle II 実験)(2014 年 6 月)
https://www.kmi.nagoya-u.ac.jp/blog/2014/04/22/spotlight07/

[9] 西田昌平, "Belle II Aerogel RICH 検出器の建設と運転"
https://www.jahep.org/hepnews/2019/19-2-2-arich.pdf

[10] 宮林謙吉,"Belle II 電磁カロリメーター (ECL)"
https://www.jahep.org/hepnews/2014/14-2-6-BelleIIECL.pdf

[11] 住澤一高, "Belle II KLM"
https://www.jahep.org/hepnews/2014/14-1-4-BelleIIKLM.pdf

[12] 海野祐士、岩崎義仁、中澤秀介,"Belle II 実験 トリガーシステム"
https://www.jahep.org/hepnews/2015/15-2-4-BelleIITrigger.pdf

[13] "トリガーと DAQ"
https://belle2pb.kek.jp/Detector/Trigger-DAQ/

[14] 伊藤領介, 中尾幹彦, 山田悟,"Belle II 実験のデータ収集システム"
https://www.jahep.org/hepnews/2014/14-3-2-BelleIIDAQ.pdf

[15] Beam background expectations for Belle II at SuperKEKB
https://arxiv.org/abs/2203.05731

[16] Belle II 実験の 2021 年運転期間における電磁カロリメーターでのビームバックグラウンド測定
https://webhepl.cc.nara-wu.ac.jp/old_HP/thesis/master/2021konno/masters_thisis_var2_correct0228.pdf

[17] Luminosity projection - SupeKEKB
https://www-superkekb.kek.jp/Luminosity_projection/

[18] Snowmass Whitepaper: The Belle II Detector Upgrade Program

[19] Lapis Semiconducter Co.
https://www.lapis-semi.com/

[20] SOIPIX
http://rd.kek.jp/project/soi/research.html

[21] Taohan Li 博士論文, "Study of the SOI pixel sensor for the Belle II vertex detector system upgrade" 東北大学 2022 年

[22] 田頭陽菜 修士論文, "プリシャワー検出器の検討とシリコンピクセル検出器の性能評価" 奈良女子大学 2024 年

[23] 高エネルギー加速器研究機構, "テストビームライン"
https://itdc.kek.jp/testBeamLine/index.html

[24] 大森匠 修士論文, "GeV 電子ビームに最適化した SOI ピクセル検出器 INTPIX4NA を用いたテレスコープシステムの開発" 筑波大学 2024 年

[25] 株式会社マクニカ, "CMOS イメージセンサーと吸収係数について"
https://www.macnica.co.jp/business/semiconductor/articles/onsemi/145103/

[26] Kenkichi Miyabayashi, private communication.